

UNIVERSITÉ DU QUÉBEC À MONTRÉAL

CONCEPTION D'ÉCHANTILLONNEURS-BLOQUEURS
DANS LA TECHNOLOGIE MOS SUBMICRONIQUE

MÉMOIRE
PRÉSENTÉ
COMME EXIGENCE PARTIELLE
DE LA MAÎTRISE EN INFORMATIQUE

PAR
CLAUDEL GRÉGOIRE DJANOU

MAI 2008

UNIVERSITÉ DU QUÉBEC À MONTRÉAL
Service des bibliothèques

Avertissement

La diffusion de ce mémoire se fait dans le respect des droits de son auteur, qui a signé le formulaire *Autorisation de reproduire et de diffuser un travail de recherche de cycles supérieurs* (SDU-522 – Rév.01-2006). Cette autorisation stipule que «conformément à l'article 11 du Règlement no 8 des études de cycles supérieurs, [l'auteur] concède à l'Université du Québec à Montréal une licence non exclusive d'utilisation et de publication de la totalité ou d'une partie importante de [son] travail de recherche pour des fins pédagogiques et non commerciales. Plus précisément, [l'auteur] autorise l'Université du Québec à Montréal à reproduire, diffuser, prêter, distribuer ou vendre des copies de [son] travail de recherche à des fins non commerciales sur quelque support que ce soit, y compris l'Internet. Cette licence et cette autorisation n'entraînent pas une renonciation de [la] part [de l'auteur] à [ses] droits moraux ni à [ses] droits de propriété intellectuelle. Sauf entente contraire, [l'auteur] conserve la liberté de diffuser et de commercialiser ou non ce travail dont [il] possède un exemplaire.»

REMERCIEMENTS

Le travail présenté dans ce mémoire n'aurait pas pu voir le jour sans le soutien des personnes que je tiens à remercier.

Je tiens à faire part de ma gratitude à mon directeur de mémoire, le Professeur Christian Jésus B. Fayomi, pour m'avoir guidé par ses précieux conseils.

Je tiens aussi à faire part de mon obligeance à la Professeure Louise Laforest pour avoir accepté d'assurer la codirection de ce projet.

Je remercie abondamment Antoine Nama, Romdhane Ben Younes, Alix Boc, Yala Diallo, Atoulé Kokoroko et Éric Gingras quant à la pertinence de leurs suggestions.

Aussi, j'adresse des remerciements sincères à toutes les personnes – personnel enseignant et administratif, collègues et étudiants, camarades – qu'il m'a été offert de rencontrer et de connaître à Montréal, pour leur sympathie

De doux remerciements sont adressés à Mylène Bordin qui m'a soutenu et encouragé à mener à bien ce projet. Merci d'être à mes côtés pour m'accompagner vers l'accomplissement de mes projets personnels et nos projets de vie commune.

Je ne saurais conclure sans faire part de ma reconnaissance à ma famille et à mes proches. Il s'agit notamment des familles DJANOU, SILY, SAMSON, FLAMBARD, BORDIN, BREGMESTRE, ÉLICE, JACQUIN, PLUMAIN, LASSUS, GOTTE, DORZILLE, GALETTE, LECOZ et LOSBARD.

Merci à mon père, DJANOU Hélin; à ma mère, Pierrette DJANOU; et à mes frères et mes sœurs, Clara, Cléryl, Claudie, Claudia et Anaëlle.

TABLE DES MATIÈRES

LISTE DES FIGURES	vii
LISTE DES TABLEAUX.....	x
LISTE DES ALGORITHMES	xi
LISTE DES ABBRÉVIATIONS.....	xii
LISTE DES SYMBOLES.....	xiv
RÉSUMÉ.....	xviii
1 INTRODUCTION.....	1
1.1 Motivation.....	1
1.2 Objectif de recherche et méthodologie	3
1.3 Contributions.....	3
1.4 Organisation du mémoire.....	4
2 L'ÉCHANTILLONNEUR BLOQUEUR : VUE D'ENSEMBLE	6
2.1 Principes d'échantillonnage	6
2.1.1 Faible résistance d'entrée.....	7
2.1.2 Impédance du circuit de charge.....	7
2.2 Réalisation pratique de l'E/B	7
2.2.1 Architecture en boucle ouverte	8
2.2.2 Architecture en boucle fermée	8
2.3 Topologies conventionnelles.....	9
2.4 Modèle compact du commutateur analogique : historique	9
2.4.1 Première génération	10
2.4.2 Deuxième génération	11
2.4.3 Troisième génération.....	12

2.4.4	Les futurs modèles: les modèles de « quatrième génération ».....	13
2.4.5	Motivation du choix de modèle.....	14
2.5	Modèle BSIM3 du commutateur analogique	14
2.5.1	La conductance.....	15
2.5.2	La tension de seuil.....	17
2.5.3	Réduction de la mobilité	20
2.5.4	Effets capacitifs associés à la structure d'un TMOS.....	21
2.6	Métriques de performance de l'échantillonneur-bloqueur.....	29
2.6.1	La distortion harmonique totale.....	30
2.6.2	La gamme dynamique	31
2.6.3	Le rapport signal sur bruit.....	31
2.7	Précision d'échantillonnage	31
2.8	Sources de non-linéarité de l'échantillonneur-bloqueur	33
2.8.1	L'injection de charges	33
2.8.2	L'excursion d'horloge.....	36
2.8.3	L'erreur d'échantillonnage.....	37
2.8.4	Variations de la constante de temps	38
3	TECHNIQUES DE CONCEPTION DE L'ÉCHANTILLONNEUR- BLOQUEUR.....	40
3.1	Modélisation analytique de la distorsion harmonique	40
3.1.1	Modélisation basée sur les séries de Volterra	40
3.1.2	Modélisation basée sur les séries de Taylor.....	43
3.2	Caractérisation de l'E/B par simulation analogique.....	44
3.3	Macro-modélisation	47
3.4	Modélisation comportementale.....	48
3.4.1	Langages de modélisation comportementale	51
3.4.2	Les langages de programmation standards	54
3.5	Choix de méthodologie d'élaboration.....	56

4	MODÉLISATION DE LA DISTORSION PAR APPROXIMATION POLYNOMIALE	58
4.1	L'injection de charges.....	58
4.1.1	Topologie n-MOS	59
4.1.2	Topologie CMOS	61
4.2	Distorsion de l'erreur d'échantillonnage.....	62
4.2.1	Topologie n-MOS simple.....	62
4.2.2	Topologie n-MOS différentielle.....	67
4.2.3	Topologie CMOS	68
4.3	Distorsion de la constante de temps.....	70
4.3.1	Linéarisation de la constante de temps : détermination de τ_0 et τ_1	72
4.3.2	Exemple d'application à l'échantillonneur n-MOS	73
5	CONCEPTION PARAMÉTRIQUE DE L'ÉCHANTILLONNEUR- BLOQUEUR ET RÉSULTATS.....	76
5.1	Implantation logicielle	76
5.1.1	Dimensionnement du commutateur	77
5.2	Modélisation comportementale de l'échantillonneur-bloqueur	78
5.2.1	Distorsion d'injection de charges.....	79
5.2.2	Distorsion d'erreur d'échantillonnage.....	80
5.2.3	Modélisation de l'horloge	81
5.3	Exemple de conception	85
5.3.1	Conditions d'évaluation	86
5.3.2	Distorsion des variations de la constante de temps.....	86
5.3.3	Distorsion d'injection de charges.....	88
5.3.4	Distorsion d'échantillonnage du n-MOS simple.....	90
5.3.5	Distorsion d'échantillonnage du n-MOS différentiel.....	94

6	CONCLUSION ET RECOMMANDATIONS	99
6.1	Contributions originales du mémoire.....	100
6.2	Limites de l'étude.....	100
6.3	Recommandations.....	101
	Appendice A - DIAGRAMME FONCTIONNEL D'UN DISPOSITIF DE SURVEILLANCE CORTICALE.....	103
	Appendice B - PERFORMANCES DYNAMIQUES DE L'ÉCHANTILLONNEUR- BLOQUEUR CONVENTIONNEL	104
	Appendice C - VALEUR DES PARAMÈTRES PAR DÉFAUT DE BSIM3	105
	Appendice D - INTERFACES DU LOGICIEL LOICE.....	106
	RÉFÉRENCES BIBLIOGRAPHIQUES.....	110

LISTE DES FIGURES

Figure 2.1	Circuit d'un échantillonneur-bloqueur idéal (Adapté de [BLA74]).	7
Figure 2.2	Réalisation pratique de l'E/B en boucle ouverte (Adapté de [WAL02]).	8
Figure 2.3	Architecture conventionnelle en boucle fermée (Tiré de [WAL02]).	9
Figure 2.4	Topologies conventionnelles de l'échantillonneur-bloqueur : (a) circuit n-MOS; (b) circuit p-MOS; (c) porte de transmission (Tiré de [HAY04]).	10
Figure 2.5	Les générations de modèles compacts SPICE (Tiré de [PRE03]).	11
Figure 2.6	Conductance du commutateur en fonction du signal d'entrée (Tiré de [FAY03]).	16
Figure 2.7	Porte de transmission (Tiré de [FAY04]).	16
Figure 2.8	Profil de dopage du canal d'un MOSFET (Tiré de [LIU01]).	19
Figure 2.9	Déplacement des charges dans le canal sous l'effet du champ électrique vertical (Adapté de [LIU01]).	21
Figure 2.10	Capacités parasites dans BSIM3 (Adapté de [LIU01]).	22
Figure 2.11	Vue détaillée d'une jonction source-substrat (Adapté de [TOS04]).	27
Figure 2.12	Mesure de la gamme dynamique.	31
Figure 2.13	Temps d'acquisition de l'échantillonneur-bloqueur (Tiré de [WAL02]).	32
Figure 2.14	Phénomène d'injection de charges dans un TMOS : (a) flux de courant dans le canal avant l'injection de charge; (b) injection équitable des charges dans le drain et la source (Tiré de [SAL02]).	35
Figure 2.15	Erreur d'échantillonnage due à la pente de l'horloge (Tiré de [HAY04]).	37
Figure 3.1	Fonction de transfert d'une série de Volterra de second ordre (Tiré de [HER03]).	42

Figure 3.2	Simulation de la résistance du commutateur en région triode (Tiré de [FAY04]).	44
Figure 3.3	Simulation de l'erreur de tension (Tiré de [FAY04]).	45
Figure 3.4	Procédure de mesure de l'erreur de tension du commutateur (Tiré de [FAY04]).	46
Figure 4.1	Instant d'échantillonnage de l'E/B n-MOS dépendant de la pente de l'horloge (Adapté de HAY04).	62
Figure 4.2	Variations de la capacité parasite du n-MOS. $n = 10$, $CL = 5$ pF, $V_{th0} = 0.4651$ V.	65
Figure 4.3	Variations de la constante de temps du n-MOS. $n = 10$, $CL = 5$ pF, $V_{th0} = 0.4651$ V.	66
Figure 4.4	Variations de la fréquence maximale d'horloge. $n = 10$, $CL = 5$ pF, $V_{th0} = 0.4651$ V.	66
Figure 4.5	Variations de la fréquence maximale d'entrée. $n = 10$, $CL = 5$ pF, $V_{th0} = 0.4651$ V.	67
Figure 4.6	Instants d'échantillonnage du circuit CMOS (Adapté de [HAY04]).	69
Figure 5.1	Dimensionnement du commutateur après sélection de la topologie.	78
Figure 5.2	Filtre RC passe-bas modélisant le circuit d'échantillonnage.	80
Figure 5.3	Conditions initiales de l'erreur d'injection de charges.	81
Figure 5.4	Variations de la constante de temps obtenue avec le logiciel LOICE.	87
Figure 5.5	Distorsion harmonique de la constante de temps.	88
Figure 5.6	Évaluation de l'injection de charge par test de linéarité.	89
Figure 5.7	Densité spectrale de l'erreur d'injection de charge.	89
Figure 5.8	Gamme dynamique d'injection de charges en fonction de l'amplitude.	90
Figure 5.9	Gamme dynamique d'injection de charge en fonction de la largeur de canal.	91
Figure 5.10	Densité spectrale de l'erreur d'échantillonnage du circuit n-MOS simple.	91

Figure 5.11	Dépendance de la gamme dynamique d'erreur d'échantillonnage du n-MOS simple à la fréquence d'horloge.	92
Figure 5.12	Gamme dynamique de l'échantillonneur n-MOS simple en fonction de l'amplitude.	93
Figure 5.13	Gamme dynamique en fonction du temps de transition du n-MOS simple.	94
Figure 5.14	Densité spectrale de l'erreur d'échantillonnage du circuit n-MOS différentiel.	95
Figure 5.15	Gamme dynamique du circuit n-MOS différentiel.	96
Figure 5.16	Gamme dynamique de l'échantillonneur n-MOS différentiel en fonction de l'amplitude.	96
Figure 5.17	Gamme dynamique du circuit n-MOS différentiel en fonction du temps de transition.	97
Figure A.1	Diagramme d'un dispositif de surveillance cortical (Tiré de [COU05]).	103
Figure D.1	Variations de la fréquence maximale d'horloge en fonction de l'entrée.	107
Figure D.2	Variations de la conductance en fonction de la tension d'entrée.	107
Figure D.3	Variations de la conductance en fonction de la tension d'entrée.	108
Figure D.4	Variations de la tension de seuil.	108
Figure D.5	Variations de la fréquence maximale d'entrée en fonction de la tension d'entrée.	109
Figure D.6	Signal de sortie de l'échantillonneur n-MOS simple.	109
Figure D.7	Courbe non-linéaire de la capacité parasite totale.	109

LISTE DES TABLEAUX

Tableau 3.1	Primitives de base de la macro-modélisation (Tiré de [LEM95]).....	48
Tableau 3.2	Avantages et inconvénients de la macro-modélisation.	49
Tableau 3.3	Concepts spécifiques au langage VHDL-AMS.....	53
Tableau 5.1	Conditions d'évaluation de la distorsion harmonique.....	86
Tableau B.1	Effets de la pente de l'horloge sur les échantillonneurs MOS [HAY99].	104
Tableau C.1	Paramètres par défaut de BSIM3 pour la caractéristique Capacité- Tension (Tiré de[LIU01]).	105
Tableau C.2	Paramètres par défaut de BSIM3 pour la modélisation de la capacité..... de jonction (Tiré de [LIU01]).	105

LISTE DES ALGORITHMES

Algorithme 3.1	Modèle d'interactions du modèle comportemental générique d'un système d'échantillonnage de données (Adapté de [GIE08]).	51
Algorithme 5.1	Modèle d'interactions de l'erreur d'injection de charges.	79
Algorithme 5.2	Modèle comportemental de l'horloge d'échantillonnage.	82
Algorithme 5.3	Modèle d'interactions de l'erreur d'échantillonnage du circuit n-MOS simple.	83
Algorithme 5.4	Modèle d'interactions partiel de l'erreur d'échantillonnage du circuit n-MOS différentiel.	85

LISTE DES ABRÉVIATIONS

AOp	Amplificateur Opérationnel
BSIM	Berkeley Short-channel IGFET Model
CAN	Convertisseur Analogique Numérique
CMOS	Complementary Metal Oxide Semiconductor (Semi-conducteur à oxyde de métal complémentaire)
DHT	Distorsion Harmonique Totale
DSP	Densité Spectrale de Puissance
E/B	Échantillonneur-Bloqueur
EAD	Équations Algébriques et Différentielles
EH	Excursion d'Horloge
EKV	Enz-Krummenacher-Vittoz
GD	Gamme Dynamique
LDM	Langage de Description de Matériel
IC	Injection de Charge
MM9	MOS Model 9
MM11	MOS Model 11
MOS	Metal Oxide Semiconductor (Oxyde de métal semi-conducteur)
MOSFET	Metal Oxide Semiconductor Field Effect Transistor (Transistor à effet de champ à oxyde de métal semi-conducteur)
n-MOS	Transistor MOS de type N
PT	Porte de Transmission
p-MOS	Transistor MOS de type P
RF	Radio Fréquence
S/B	Rapport Signal sur Bruit

SPICE	Simulation Program with Integrated Circuits Emphasis (Programme de simulation avec emphase sur les circuits intégrés)
TFR	Transformée de Fourier Rapide
TMOS	Transistor MOS
VHDL	Very high speed integrated circuit Hardware Description Language (Langage de description de matériel à très grande vitesse)
VHDL-AMS	VHDL Analog and Mixed-Signal Extensions (Extensions analogiques et mixtes de VHDL)

LISTE DES SYMBOLES

α	Indice de saturation
δ	Facteur de charge du substrat
δt_n	Déviaton de l'instant d'échantillonnage réel par rapport à l'instant de début de commutation
$\delta t'_n$	Déviaton de l'instant d'échantillonnage réel par rapport à l'instant idéal
ϵ_s	Permittivité du silicium
γ	Coefficient d'effet de substrat
φ	Déphasage
φ_f	Potentiel de Fermi
φ_s	Potentiel de surface
Φ	Commande d'horloge
Θ	Complexité des algorithmes
τ	Constante de temps
τ_i	Coefficient de linéarisation de la constante de temps
μ	Mobilité des porteurs
ω	Pulsation angulaire
A	Amplitude
A_{c-c}	Amplitude crête à crête
AS	Aire de la source du transistor
C_f	Capacité latéral extrinsèque
C_{gs}	Capacité grille-source
C_j	Capacité de jonction
C_L	Condensateur de charge
C_{ov}	Capacité de chevauchement
C_{ox}	Capacité d'oxyde par unité d'aire

C_{sb}	Capacité source-substrat
C_{sg}	Capacité source-grille
C_{Tot}	Condensateur de charge total incluant les capacités parasites
E_{normal}	Champ électrique vertical normal
f_{3dB}	Fréquence de coupure à -3dB
f_{clk}	Fréquence d'horloge
$f_{clk,max}$	Fréquence d'horloge que peut supporter l'échantillonneur
f_{sig}	Fréquence du signal
g_{ds}	Conductance du canal
$H(s)$	Fonction de transfert en s
HD_n	Distorsion harmonique d'ordre n
H_n	Amplitude de l'harmonique d'ordre n
I_{DS}	Courant drain-source
k	Coefficient d'injection de charge; Constante de Boltzmann
$K1$	Coefficient d'effet de substrat de premier ordre
$K2$	Coefficient d'effet de substrat de second ordre
L	Longueur du canal du transistor
L_{min}	Longueur minimale du TMOS
L_{ov}	Longueur du chevauchement diffusion-grille
LS	Longueur de diffusion
mn/p	Rapport de mobilité des charges
m	Canal « moins » de l'échantillonneur différentiel
M	Nombre de cycles d'échantillonnage
n	Nombre de bits de résolution
N	Nombre d'échantillons
n_i	Concentration intrinsèque
p	Canal « plus » de l'échantillonneur différentiel
PS	Périmètre de la source du transistor
q	Charge des électrons

Q'_B	Quantité de charge du substrat par unité d'aire
R_{on}	Résistance du canal pendant la conduction
s	Variable complexe du domaine de Laplace
t	Temps
$t_{acquisition}$	Temps d'acquisition
t_d	Début de la transition d'horloge
t_i	Instant idéal de commutation
t_{ox}	Épaisseur d'oxyde
t_r	Instant réel de commutation
t_{Tr}	Temps de transition de l'horloge
T°	Température absolue
T	Période d'échantillonnage
$T_{dispositif}$	Température du dispositif
U_0	Mobilité pour un champ électrique nul
U_A	Coefficient de dégradation de la mobilité de premier ordre
U_B	Coefficient parabolique de dégradation de la mobilité
U_C	Coefficient de dégradation de la mobilité due à l'effet de substrat
V_B	Potentiel de substrat
V_{BS}	Tension substrat-source
V_{clk}	Tension d'horloge
V_{c-c}	Tension crête à crête
V_D	Potentiel de drain
V_{DC}	Tension de décalage
V_{DD}	Niveau de tension haut de l'horloge
V_{DS}	Tension drain-source
$V_{DS, \infty}$	Tension drain-source pour laquelle V_{DS} est stable
$V_{DS, sat}$	Tension de saturation drain-source
V_{eh}	Excursion d'horloge

V_G	Potentiel de grille
V_{GS}	Tension grille-source
V_{inRef}	Tension de référence pour le seuil de basculement
V_{in}	Tension d'entrée
V_{inj}	Injection de charge
V_{out}	Tension de sortie
V_S	Tension de la source
V_{SS}	Niveau de tension bas de l'horloge
V_{th}	Tension de seuil de conduction
W	Largeur du canal du transistor
$W_{eff, CV}$	Largeur effective pour la caractéristique capacité-tension
W_{min}	Largeur minimale du canal du TMOS
X_t	Profondeur en partant de l'interface oxyde/silicium

RÉSUMÉ

L'échantillonneur-bloqueur est un dispositif central des systèmes de conversion analogique-numérique. Son utilisation dans des domaines d'applications sensibles comme le domaine biomédical place des exigences élevées sur la performance de l'échantillonneur.

Les distorsions d'injection de charges, d'erreur d'échantillonnage et celle due aux variations de la constante de temps sont trois sources de non-linéarité qu'il est primordial d'évaluer pendant la conception. La modélisation analytique est l'une des méthodes employées afin d'estimer la distorsion du dispositif d'échantillonnage. Cependant, les méthodes analytiques courantes sont complexes ou ne tiennent pas compte des capacités parasites du commutateur analogique. La conception par la mise en œuvre de procédures de caractérisation de la distorsion à l'aide de simulateurs analogiques de la famille SPICE donne une bonne estimation de la distorsion mais aboutit à des cycles de conception longs et fastidieux.

Dans ce document, nous proposons deux méthodes d'évaluation de la distorsion de l'échantillonneur-bloqueur. Dans un premier temps, nous présenterons un nouveau modèle analytique simple de la distorsion. Notre modèle met en œuvre l'approximation en série de Taylor afin de caractériser complètement les trois sources de distorsion de l'échantillonneur-bloqueur, incluant l'effet de substrat et les capacités parasites du commutateur analogique.

Une autre contribution dans ce mémoire est de proposer un logiciel de simulation comportementale d'aide à la conception des échantillonneurs-bloqueurs dans le procédé MOS submicronique 0.18 μm . Ce logiciel permet de réduire le cycle de conception et d'évaluer efficacement la distorsion de l'échantillonneur-bloqueur. Afin d'atteindre cet objectif, nous avons intégré le modèle BSIM3 du transistor au logiciel que nous avons développé en langage Java.

Nous verrons avec des exemples d'application comment les paramètres de chacune des sources de distorsion agissent sur la gamme dynamique de l'échantillonneur-bloqueur par les méthodes que nous proposons.

Mots clés : échantillonneur-bloqueur, distorsion, CMOS, modélisation comportementale.

Chapitre 1

INTRODUCTION

1.1 Motivation

L'avènement de la microélectronique a permis de faire des progrès technologiques considérables dans des domaines variés.

Récemment, des capteurs implantables ont été développés afin d'étudier le cerveau et ses fonctions physiologiques [AND01], [BRU02], [TAY02], [WIS02]. Ces mesures aident les chercheurs à mieux comprendre le comportement du cortex primaire, en vue de traiter des dysfonctions aussi bien du tissu cortical, que des niveaux profonds du cerveau. Ainsi, les dysfonctions du cerveau telles que l'autisme, l'épilepsie et la dépression ou la schizophrénie peuvent être étudiées grâce à la surveillance corticale.

Un dispositif de surveillance corticale emploie des électrodes sous forme de microsondes pour interfacer un implant avec les tissus nerveux. L'implant est constitué d'un circuit de conditionnement analogique pour chaque sonde. Afin de transmettre les informations prélevées à un contrôleur externe, les données sont multiplexées puis mises en forme grâce à un Convertisseur Analogique Numérique (CAN) [BUF05].

Les signaux électriques neuronaux étant de l'ordre du microvolt, la validité des données repose sur la précision de conversion du CAN. Ainsi, le CAN est l'un des éléments constitutifs essentiel du moniteur cortical.

Typiquement, un CAN est constitué d'un module échantillonneur-bloqueur (E/B), d'un étage de conversion et d'un étage de correction d'erreur. Les performances du CAN vont de pair avec la précision de l'échantillonneur-bloqueur. En effet, la conversion ne pouvant pas être effectuée de manière instantanée, l'E/B a pour rôle de

mémoriser les signaux analogiques pendant une période suffisante pour la numérisation. De ce fait, la conception de l'E/B est cruciale car il doit être en mesure de répondre aux besoins du convertisseur analogique-numérique.

L'échantillonneur-bloqueur idéal peut être modélisé par un commutateur analogique et un condensateur. En pratique, lorsque le commutateur est réalisé en technologie MOS submicronique, les performances de l'E/B sont limitées par la distorsion introduite par l'injection de charges, les variations de la constante de temps et l'erreur d'échantillonnage FAY06] [HAL99], [HAY04], [SHE87].

Du point de vue de la conception, il est primordial d'évaluer l'impact de la distorsion sur les performances de l'E/B avant la fabrication [HAR94]. Avec les outils de simulation disponibles comme SPICE il est possible d'estimer la distorsion totale avec la commande .DISTO mais les différentes sources de distorsion ne peuvent pas être identifiées. De plus, la contribution des paramètres physiques liés à la composante de non linéarité est difficilement estimable [CHE03]. Des techniques de caractérisation de chacune des sources de distorsion peuvent alors être mises en œuvre mais le cycle de conception peut être long.

Les travaux menés sur l'analyse symbolique des circuits faiblement non linéaires basés sur les séries de Volterra permettent au concepteur d'identifier la composante de distorsion dominante et d'ajuster ses paramètres afin de réduire la distorsion [LEU99]. L'inconvénient de cette approche découle de la complexité de la méthode permettant d'obtenir les expressions des composantes de distorsion.

Les travaux menés par Halonen et Waltari [HAL99] et Hayasaka et Kobayashi [HAY04] utilisent une approche plus simple basée sur les séries de Taylor. Toutefois les deux méthodes négligent les capacités parasites du commutateur analogique.

1.2 Objectif de recherche et méthodologie

L'objectif de ce mémoire est de mener une investigation sur les techniques de conception qui permettraient d'évaluer efficacement les niveaux de distorsion harmonique des échantillonneurs-bloqueurs.

La démarche suivante sera mise en œuvre afin d'atteindre cet objectif :

- revue du principe de fonctionnement de l'échantillonneur-bloqueur et de sa réalisation pratique ;
- modélisation du commutateur réalisé en technologie MOS submicronique en tenant compte des effets de substrat et des capacités parasites ;
- présentation sur les différentes sources de distorsion de l'E/B ;
- exploration des méthodes courantes d'évaluation de la distorsion ;
- développement d'un modèle analytique de la distorsion incluant l'effet de substrat et les capacités parasites ;
- développement d'un outil paramétrique dédié à la conception d'échantillonneurs-bloqueurs submicroniques dans le procédé de fabrication CMOS 0.18 μm ;
- présentation d'exemples d'application du modèle analytique et du logiciel développés par évaluation de la gamme dynamique en fonction des paramètres contribuant à la distorsion ;
- résultats, synthèse et recommandations.

1.3 Contributions

Les contributions de ce travail de recherche se présentent sur deux volets. Premièrement, nous présentons un modèle analytique complet de la distorsion de l'échantillonneur-bloqueur basé sur le développement en séries de Taylor pour les systèmes faiblement non linéaires. Ce modèle permet d'obtenir une estimation asymptotique des trois composantes de distorsion harmonique de l'échantillonneur-bloqueur en tenant compte de l'effet de substrat et des capacités parasites du commutateur.

La seconde contribution de ce mémoire est le développement d'un logiciel original d'aide à la conception de l'échantillonneur-bloqueur dans la technologie CMOS submicronique $0.18 \mu\text{m}$. Le logiciel permet d'estimer le niveau des sources de distorsion de l'échantillonneur en fonction de ses paramètres physiques, incluant les effets parasites du commutateur analogique.

1.4 Organisation du mémoire

Le premier chapitre de ce mémoire établit le contexte et la problématique de recherche, puis présente les objectifs visés.

Le principe de fonctionnement de l'échantillonneur-bloqueur et son implémentation pratique sont présentés au chapitre 2. Suite à un bref historique des modèles compacts, le modèle BSIM3 du commutateur analogique est présenté. L'effet de substrat, les effets de miniaturisation, et les capacités parasites sont inclus au modèle.

La dernière partie du chapitre est consacrée aux sources principales de distorsion qui limitent les performances de l'échantillonneur : l'injection de charges, les variations de la constante de temps et l'erreur d'échantillonnage.

Au chapitre 3, nous présentons l'état de l'art des techniques de conception de l'échantillonneur-bloqueur. Les techniques de modélisation analytiques courantes sont d'abord présentées. Les techniques de caractérisation par simulation analogique sont ensuite traitées. Pour terminer, les apports de la méthode de conception par simulation comportementale sont considérés.

Un nouveau modèle analytique intégrant les trois sources de distorsion de l'échantillonneur-bloqueur basé sur les séries de Taylor est présenté dans le chapitre 4. Ce modèle simple tient compte de l'effet de substrat et des capacités parasites du commutateur analogique.

Au chapitre 5, un nouvel outil paramétrique d'aide à la conception des échantillonneurs-bloqueurs dans le procédé de fabrication CMOS $0.18 \mu\text{m}$ est

développé. Le logiciel de simulation comportementale que nous proposons est rigoureusement évalué en fonction des paramètres des trois sources de distorsion de l'échantillonneur-bloqueur et est comparé au modèle analytique.

Le chapitre 6 conclura ce mémoire avec une synthèse des contributions, des limites et des perspectives de recherche.

Chapitre 2

L'ÉCHANTILLONNEUR BLOQUEUR : VUE D'ENSEMBLE

2.1 Principes d'échantillonnage

Dans une chaîne d'acquisition de données et de traitement du signal, l'échantillonneur-bloqueur est un élément incontournable car la rapidité et la précision du traitement dépendent de ses performances [HAL99]. La fonction de l'échantillonneur-bloqueur est de suivre les variations du signal d'entrée pendant une phase d'échantillonnage, puis de mémoriser les échantillons prélevés à la réception d'une commande de blocage, pendant une durée suffisante pour que le CAN puisse procéder à la conversion analogique-numérique [WON01].

La façon la plus simple de réaliser un échantillonneur-bloqueur consiste à associer un commutateur analogique (ou interrupteur) à un condensateur de charge (C_L). Les commandes d'ouverture et de fermeture de l'interrupteur sont assurées par une horloge générant un signal périodique rectangulaire. Lorsque l'interrupteur est fermé – le signal d'horloge est à l'état haut – l'E/B est en mode d'échantillonnage et suit les variations du signal d'entrée. Après cette période d'acquisition, l'E/B passe au mode bloqué à l'ouverture de l'interrupteur – le signal d'horloge est à l'état bas – et la dernière valeur acquise est mémorisée par le condensateur jusqu'à la prochaine phase d'échantillonnage [BLA74], [RAZ95]. Cette opération périodique est illustrée à la figure 2.1 avec une entrée sinusoïdale.

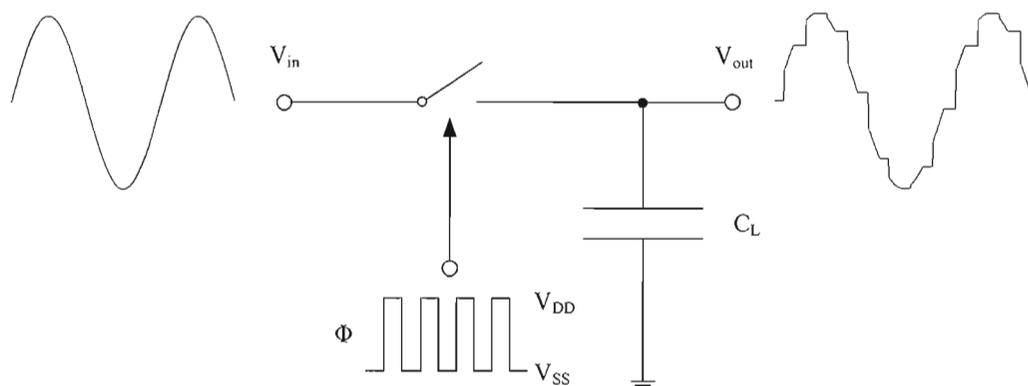


Figure 2.1 : Circuit d'un échantillonneur-bloqueur idéal (Adapté de [BLA74]).

En pratique, le modèle simplifié de la figure 2.1 souffre de limitations à cause de la faible impédance d'entrée de l'échantillonneur et de l'impédance du circuit de charge en aval de l'E/B [BLA74], [RAZ95].

2.1.1 *Faible résistance d'entrée*

La source de tension en amont de l'échantillonneur possède une résistance de sortie finie. En mode d'échantillonnage, cette résistance se place en série avec la résistance du commutateur et affecte les performances du circuit car elle modifie la valeur de la constante de temps (τ) du circuit RC formé par le condensateur et la résistance du commutateur. Par ailleurs, la faible résistance d'entrée est à l'origine d'un problème d'adaptation d'impédance [BLA74].

2.1.2 *Impédance du circuit de charge*

L'impédance du CAN placé en aval de l'échantillonneur provoque des fuites de charge pendant la phase de blocage. La tension de blocage du condensateur de charge est alors réduite au cours du temps [BLA74].

2.2 **Réalisation pratique de l'E/B**

Les résistances d'entrée et de sortie ont pour effet de modifier la vitesse d'échantillonnage et la capacité à maintenir la tension de sortie de l'échantillonneur.

Deux architectures conventionnelles permettant de s'affranchir de ces limitations : l'architecture en boucle ouverte et l'architecture en boucle fermée [BLA74], [LIM91], [WAL02].

2.2.1 Architecture en boucle ouverte

L'architecture en boucle ouverte, illustrée à la figure 2.2, est réalisée par l'adjonction d'amplificateurs de gain unitaire en amont et en aval de l'E/B [BLA74], [WAL02].

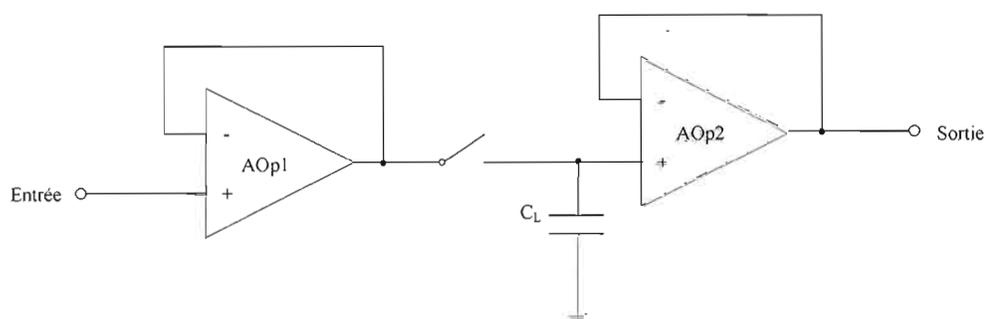


Figure 2.2 : Réalisation pratique de l'E/B en boucle ouverte (Adapté de [WAL02]).

Le tampon d'entrée élimine le problème d'adaptation d'impédance et les effets de la résistance de sortie du générateur en amont de l'échantillonneur par sa forte résistance d'entrée. Le tampon de sortie estompe les effets du CAN placé en aval. Bien que cette topologie soit simple et rapide, sa précision est limitée par la distorsion harmonique de l'amplificateur de gain unitaire. Par ailleurs, elle présente une erreur de tension de décalage égale à la somme algébrique des tensions de décalage d'entrée des deux amplificateurs qui peut être réduite en utilisant une architecture en boucle fermée [WAL02].

2.2.2 Architecture en boucle fermée

Une réalisation conventionnelle de l'architecture en boucle fermée est illustrée à la figure 2.3. Pendant l'acquisition, le circuit fonctionne comme un amplificateur à deux étages compensé par le condensateur de charge C_L . Lorsque le gain de l'amplificateur d'entrée est suffisamment élevé pendant la phase d'échantillonnage, la masse virtuelle

permet à la tension aux bornes de C_L de suivre les variations de la tension d'entrée [WAL02].

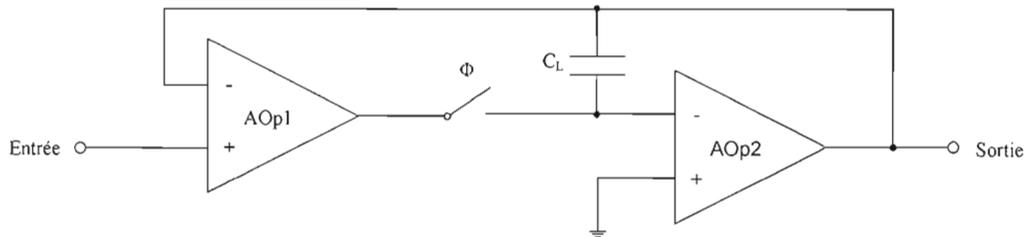


Figure 2.3 : Architecture conventionnelle en boucle fermée (Tiré de [WAL02]).

À l'ouverture de l'interrupteur, l'entrée est déconnectée du condensateur et la tension est mémorisée. Les effets non linéaires des charges injectées par AOp1 sont limités par la masse virtuelle mais une erreur de décalage indépendante de la tension d'entrée est introduite.

Cette architecture autorise une plus grande résolution que l'architecture en boucle ouverte grâce à la compensation mais elle est moins rapide [WAL02].

2.3 Topologies conventionnelles

Trois topologies conventionnelles de l'échantillonneur-bloqueur sont présentées à la figure 2.4 [HAY04].

La réalisation des échantillonneurs avec des transistors MOS (TMOS) offre l'avantage d'être rapide et d'avoir une résistance de canal faible en conduction mais quasiment infinie en phase de blocage [WAL02].

2.4 Modèle compact du commutateur analogique : historique

À la fin des années 60, la demande croissante de circuits intégrés complexes coïncidant avec l'augmentation de la puissance de calcul des ordinateurs a conduit au développement du logiciel de simulation SPICE (Simulation Program with Integrated Circuit Emphasis) par l'université Berkeley, en Californie.

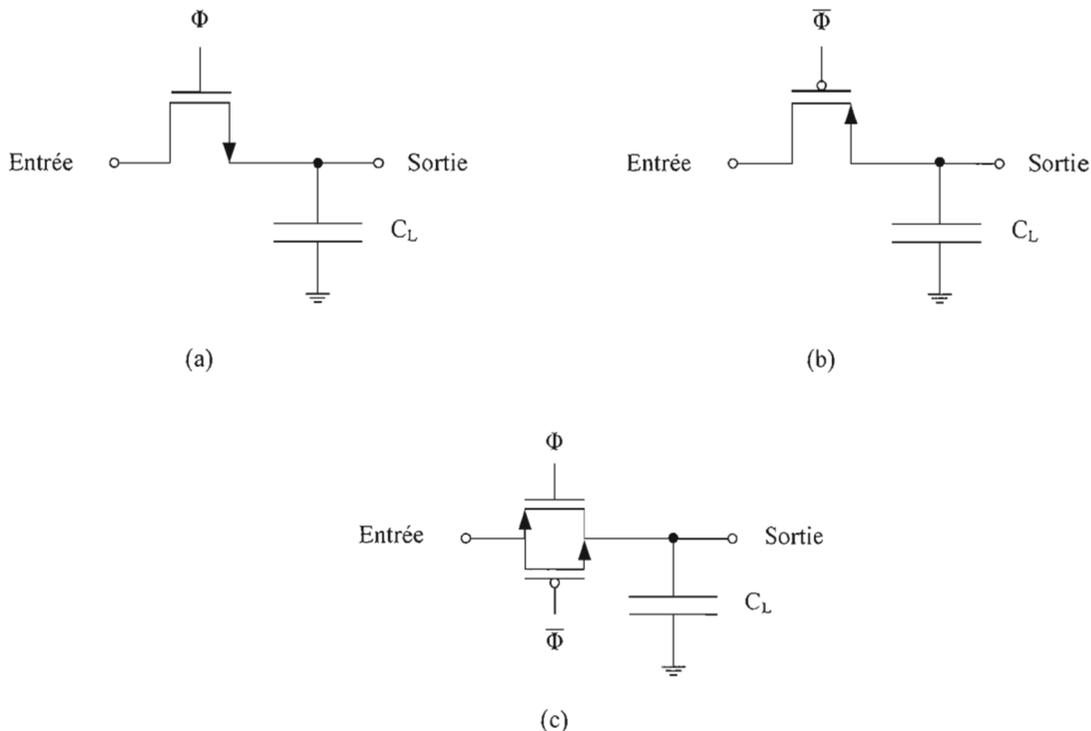


Figure 2.4 : Topologies conventionnelles de l'échantillonneur-bloqueur : (a) circuit n-MOS; (b) circuit p-MOS; (c) porte de transmission (Tiré de [HAY04]).

Proposé comme alternative à l'approche traditionnelle de conception basée sur la réalisation matérielle de circuits électroniques, SPICE est rapidement adopté comme standard de simulation dans l'industrie des circuits intégrés [FOT97].

Trois générations de modèles compacts se sont succédées depuis le développement de SPICE (figure 2.5). Une quatrième génération est probable [FOT97].

2.4.1 Première génération

La première génération de modèles (Level 1, 2 et 3) décrit les transistors à partir de paramètres physiques très simples mais décrit mal les dépendances géométriques et rencontre des problèmes de convergences [FOT97].

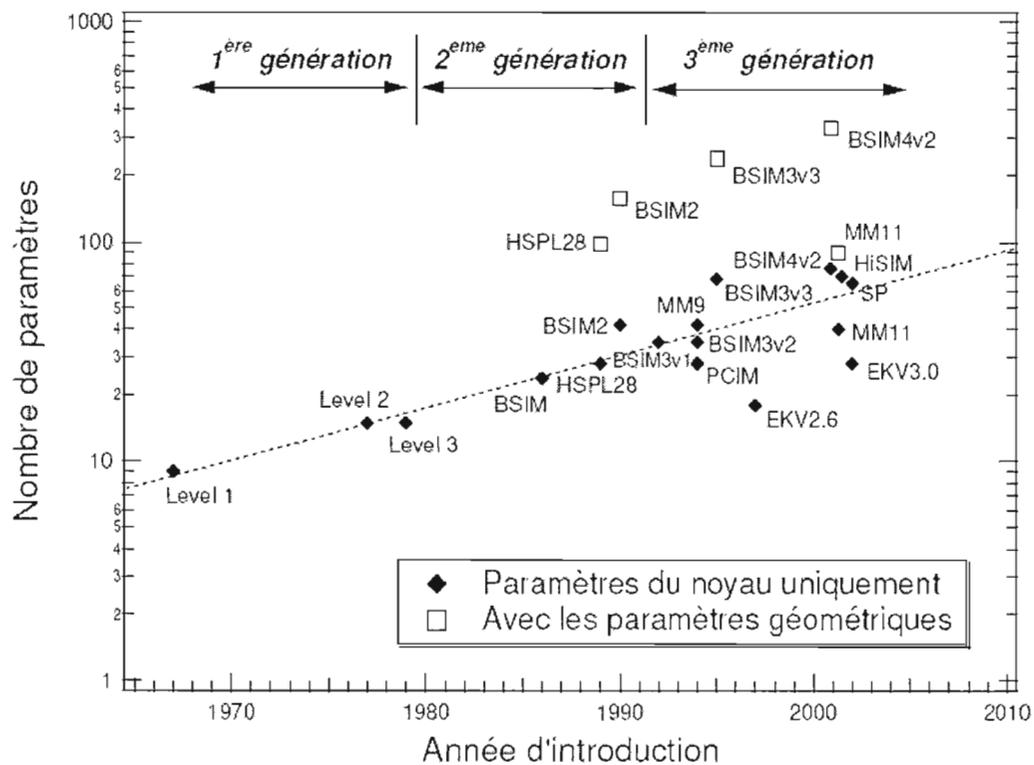


Figure 2.5 : Les générations de modèles compacts SPICE (Tiré de [PRE03]).

2.4.2 Deuxième génération

La seconde génération (BSIM, HSPICE Level 28 et BSIM2) apporte des solutions aux problèmes rencontrés avec la première en introduisant de nombreux paramètres électriques¹ et des fonctions de conditionnement mathématique afin de décrire les effets reliés aux transistors de petite taille. Contrairement à la première génération où les paramètres sont considérés comme des singletons, la seconde génération considère chaque paramètre comme un triplet [FOT97]. La définition des paramètres du modèle contient une structure extrinsèque de dépendance géométrique, placée au-dessus de la structure intrinsèque du paramètre :

$$X = X_0 + \frac{LX}{L_{eff}} + \frac{WX}{W_{eff}} \quad (2.1)$$

¹ Paramètres définis lors de l'extraction, dont les relations avec la physique du procédé sont minimales.

où X est un paramètre composite quelconque du modèle; X_0 est un paramètre intrinsèque quelconque; LX et WX modélisent la structure extrinsèque dépendante de la géométrie (variations de la longueur et de la largeur); et L_{eff} et W_{eff} sont les longueur et largeur effectives.

Bien que les équations simplifiées des modèles de seconde génération permettent d'obtenir de bonnes performances de simulation, les paramètres (dont le nombre est très élevé) ont peu de liens avec la physique du procédé [FOT97].

2.4.3 Troisième génération

Le nombre important de paramètres et le caractère essentiellement empirique des modèles de seconde génération sont sources de nombreux problèmes, tels que la possibilité d'obtention d'une conductance de sortie négative ou la difficulté de à déterminer la caractéristique courant-tension des dispositifs submicroniques [FOT97]. La troisième génération tente de résoudre ces problèmes en réintroduisant les liens physiques des paramètres et en restreignant l'utilisation des expressions polynomiales. Les effets géométriques de petite taille et les capacités parasites sont inclus; et des fonctions de lissage valides pour toutes les géométries du modèle permettent d'une part de décrire le comportement des transistors dans ces diverses régions de fonctionnement par une équation unique, et d'autre part de garantir l'obtention de dérivées premières continues et lisses des caractéristiques courant-tension et capacité-tension.

2.4.3.1 BSIM3

BSIM3 a connu trois phases d'évolution. La première version a rencontré des problèmes mathématiques qui ont été partiellement corrigés dans la deuxième. La troisième version, BSIM3v3, a été développée pour remplacer les précédentes qui ont connu d'importants problèmes de convergence. Selon Liu et al. [LIU01] cette dernière possède plusieurs variations (BSIM3v3.1, BSIM3v3.2, BSIM3v3.2.1 et BSIM3v3.2.2) qui présentent des différences minimales et dont la précision a été démontrée pour les procédés de la technologie $0.18\mu\text{m}$. De plus, il s'agit, avec BSIM4, d'un des modèles les plus utilisés de nos jours [PRE03].

2.4.3.2 *BSIM4*

BSIM4 est une extension du modèle BSIM3 développée en 2004 dans le but de décrire les effets physiques des TMOS de taille inférieure à 100 nm et est disposé, par ses nombreuses améliorations, à modéliser les effets radio fréquence (RF) [CAO07].

2.4.3.3 *MM9*

D'après Cheng et al. (1995, cité dans [LIU01]), c'est le premier modèle public qui ne soit pas issu de Berkeley mais a été développé dans les laboratoires de Philips. MM9 décrit le TMOS en respectant la philosophie utilisée dans les modèles de troisième génération mais se distingue de BSIM3 car la dépendance des paramètres est décrite selon une méthode améliorée de l'approche utilisée dans les modèles de deuxième génération (cf. section 2.4.2) afin d'améliorer la précision du modèle. Des doutes sur la propriété intellectuelle associés au modèle ont amené les compagnies à se tourner vers BSIM3 [LIU01].

2.4.4 *Les futurs modèles: les modèles de « quatrième génération »*

Des modèles relativement récents, dits de « quatrième génération » ont été développés [FOT97], [LIU01], [PRE03] mais sortent du cadre de notre étude :

- Surface Potential (SP) ;
- Enz-Krummenacher-Vittoz (EKV) ;
- MOS Model 11 (MM11).

L'approche mise en œuvre pour développer ces modèles apporte des changements radicaux. En effet, contrairement aux modèles de troisième génération, ces modèles utilisent le substrat comme tension de référence, ce qui offre l'avantage de respecter la symétrie du MOSFET.

Ces modèles n'ont pas encore connu une implantation intensive dans les simulateurs ou pour l'extraction de paramètres mais se présentent tous comme des candidats potentiels pour un changement de paradigme de modélisation. Le lecteur intéressé trouvera plus de détails dans l'ouvrage de Foty [FOT97].

2.4.5 Motivation du choix de modèle

Nous avons dressé une liste des modèles compacts qui ont été implantés dans SPICE, le logiciel de simulation qui s'est imposé comme standard de simulation depuis une quarantaine d'années [FOT97]. Les modèles de première et de seconde génération ont l'avantage d'être simples et de posséder un petit jeu de paramètres mais font face à des problèmes de performance. Dans le cas des modèles de la première génération il s'agit de problèmes de convergence. Quant à la seconde génération, la description essentiellement empirique des paramètres fait perdre aux modèles leur sens physique.

La troisième génération de modèles compacts se pose comme une alternative aux deux premières avec trois modèles : BSIM3, BSIM4 et MM9. MM9 est basée sur une formulation simple de ses équations qui laisse présumer de son efficacité dans les simulateurs mais doit encore faire ses preuves. BSIM3 et BSIM4 sont les versions les plus utilisées. Par ailleurs BSIM4 ajoute des extensions à BSIM3 afin d'en accroître la précision.

Compte tenu des remarques précédentes, notre choix de modèle se tourne vers les modèles de troisième génération et plus particulièrement BSIM3 qui offre un niveau de précision suffisant pour les fins du présent travail de recherche.

2.5 Modèle BSIM3 du commutateur analogique

Lorsque le transistor à effet de champs est utilisé comme commutateur, il opère en région triode ou sous seuil. Son circuit équivalent est alors une résistance dont la valeur est contrôlée par la grille. En conduction, la résistance varie de quelques dizaines d'ohms à quelques ohms alors qu'en région sous seuil elle est considérée infinie. En plus d'avoir une résistance finie variable, il y a aussi des capacités parasites associées au transistor. Nous présentons dans cette section les modèles du commutateur réalisés en technologie n-MOS, p-MOS et CMOS. Ces modèles seront utilisés dans les sections subséquentes pour montrer comment les différentes caractéristiques du commutateur agissent sur les performances de l'E/B.

2.5.1 La conductance

Pendant la phase d'échantillonnage, le transistor MOS fonctionne dans la région triode, alors le courant qui le traverse peut être modélisé par la relation

$$i_{ds} = \begin{cases} \mu_n C_{ox} \left(\frac{W}{L}\right)_n \left[(V_{gs} - V_{th,n}) V_{ds} - \frac{V_{ds}^2}{2} \right] & \text{n-MOS} \\ -\mu_p C_{ox} \left(\frac{W}{L}\right)_p \left[(V_{gs} - |V_{th,p}|) V_{ds} - \frac{V_{ds}^2}{2} \right] & \text{p-MOS} \end{cases} \quad (2.2)$$

μ_n et μ_p représentent la mobilité des électrons et des trous et C_{ox} est la capacités d'oxyde de grille. Pour un point de repos (Q) donné, la conductance (g_{ds}) peut être dérivée à partir de l'expression du courant :

$$g_{ds} = \frac{\delta i_{DS}}{\delta v_{DS}} \Big|_Q = \begin{cases} \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{in} - V_{th,n}) & \text{n-MOS} \\ \mu_p C_{ox} \left(\frac{W}{L}\right)_p (V_{in} - |V_{th,p}|) & \text{p-MOS} \end{cases} \quad (2.3)$$

Les courbes de la figure 2.6 montrent que la conductance du n-MOS décroît linéairement en fonction de la tension d'entrée et s'annule à partir de la tension $V_{DD} - V_{th,n}$, alors que la conductance du p-MOS croît linéairement en fonction de la tension d'entrée à partir de $|V_{th,p}|$. Par ailleurs, ceci nous indique que les commutateurs réalisés en technologie n-MOS et p-MOS pris individuellement ont une gamme dynamique de tension d'entrée limitée par la tension de seuil des transistors.

Afin de résorber le problème de variation de la conductance des MOSFETs, la porte de transmission (PT) est utilisée en mettant à contribution le n-MOS pour les faibles tensions d'entrée et le p-MOS pour les tensions d'entrée élevées.

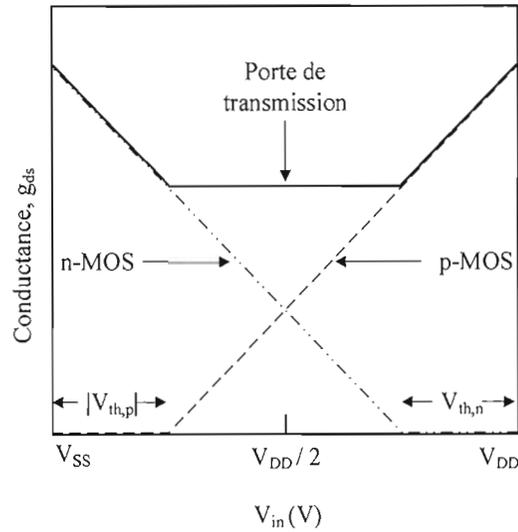


Figure 2.6 : Conductance du commutateur en fonction du signal d'entrée (Tiré de [FAY03]).

La porte de transmission, représenté à la figure 2.7, est réalisée en mettant un n-MOS en parallèle avec un p-MOS.

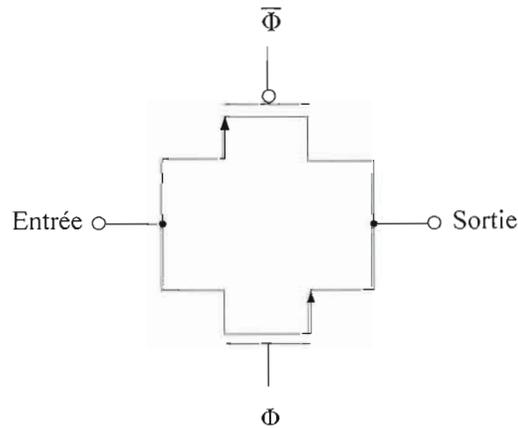


Figure 2.7 : Porte de transmission (Tiré de [FAY04]).

Lorsque $|V_{th,p}| < V_{in} < V_{DD} - V_{th,n}$, la conductance totale obtenue vaut

$$g_{ds,PT} = \mu_n C_{ox} \left(\frac{W}{L} \right)_n (V_{DD} - V_{th,n}) - \mu_p C_{ox} \left(\frac{W}{L} \right)_p |V_{th,p}| - \left[\mu_n C_{ox} \left(\frac{W}{L} \right)_n - \mu_p C_{ox} \left(\frac{W}{L} \right)_p \right] V_{in} \quad (2.4)$$

Un choix judicieux de conception consiste à poser

$$\mu_n C_{ox} \left(\frac{W}{L} \right)_n = \mu_p C_{ox} \left(\frac{W}{L} \right)_p \quad (2.5)$$

Lorsque les transistors conduisent simultanément, une conductance constante est obtenue en première approximation :

$$g_{ds,PT} = \mu_n C_{ox} \left(\frac{W}{L} \right)_n \left(V_{DD} - V_{th,n} - |V_{th,p}| \right) \quad (2.6)$$

Ce résultat peut être vérifié sur la courbe de la conductance de PT représentée à la figure 2.6, lorsque la tension V_{in} est comprise entre $|V_{th,p}|$ et $V_{DD} - V_{th,n}$.

Les relations (2.3) et (2.4) indiquent que les conductances des commutateurs n-MOS, p-MOS et de la porte de transmission sont linéairement dépendantes des tensions de seuil $V_{th,n}$ et $V_{th,p}$. Dans les chapitres suivants, nous montrerons que ces non linéarités introduisent de la distorsion.

2.5.2 La tension de seuil V_{th}

La tension de seuil est un paramètre important car il permet de distinguer le régime sous seuil et le régime de forte inversion. Autrement dit, V_{th} permet de distinguer l'état où le transistor conduit de celui où il est bloqué. La forte inversion se produit lorsque le potentiel de surface est égal à $2\varphi_f$:

$$\varphi_s = 2\varphi_f = 2 \frac{kT}{q} \ln \left(\frac{NCH}{n_i} \right) \quad (2.7)$$

où φ_f est le potentiel de Fermi. NCH modélise la concentration de dopants du substrat près de l'interface oxyde/silicium. Dans la suite de ce document, les paramètres BSIM3 seront notés en caractères d'imprimerie.

La concentration intrinsèque s'exprime par la relation suivante :

$$n_i = 1.45 \times 10^{10} \cdot \frac{T^\circ}{300.15} \cdot \sqrt{\frac{T^\circ}{300.15}} \cdot \exp \left[21.5565981 - \frac{E_g(T^\circ)}{2k(T^\circ + 273.15)} \right] \quad (2.8)$$

où

$$E_g (eV) = 1.16 - \frac{7.02 \times 10^{-4} \cdot T_{dispositif}^2}{T_{dispositif} + 1108} \quad (2.9)$$

En supposant la concentration de dopant uniforme dans le substrat, V_{th} est modélisée par la somme de la valeur de la tension de seuil à la polarisation nulle d'un transistor à canal long (V_{th0}) et d'un terme proportionnel au coefficient d'effet de substrat (γ) :

$$V_{th} = V_{th0} + \gamma \left(\sqrt{2\phi_f - V_{BS}} - \sqrt{2\phi_f} \right) \quad (2.10)$$

En réalité, la concentration de dopant est non uniforme et donne lieu à des variations de la tension de seuil.

2.5.2.1 Dopage non uniforme du substrat

Les dopants injectés pendant le processus de fabrication du transistor ont un profil gaussien [LIU01]. Comme le montre la figure 2.8, le profil de dopants est approché dans BSIM3 par une zone de forte concentration de dopants de valeur NCH à partir de la surface du substrat, près de l'oxyde de silicium, puis il passe abruptement à la valeur NSUB à partir de la profondeur X_t .

La tension de seuil en tenant compte de l'effet de substrat est alors modélisée par la relation

$$V_{th} = V_{TH0} + \delta_{np} \Delta V_{th,effet_de_substrat} \quad (2.11)$$

où

$$V_{TH0} \begin{cases} > 0 & \text{n-MOS} \\ < 0 & \text{p-MOS} \end{cases} \quad (2.12)$$

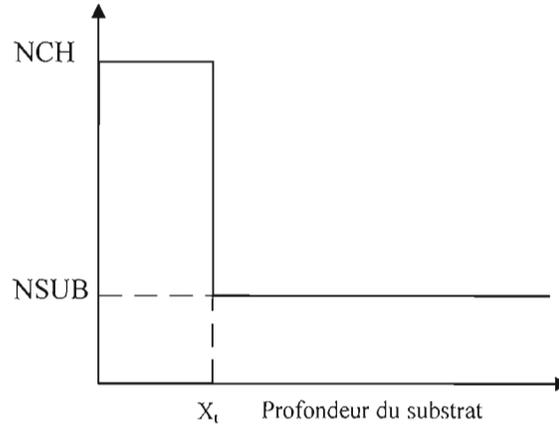


Figure 2.8 : Profil de dopage du canal d'un MOSFET (Tiré de [LIU01]).

$$\delta_{np} = \begin{cases} 1 & \text{n-MOS} \\ -1 & \text{p-MOS} \end{cases} \quad (2.13)$$

et

$$\Delta V_{th, \text{effet_de_substrat}} = K_1 \left(\sqrt{2 \cdot \phi_f - V_{BS}} - \sqrt{2 \phi_f} \right) - K_2 \cdot V_{BS} \quad (2.14)$$

K_1 et K_2 sont les facteurs d'effet de substrat de premier et de second ordre. Lorsqu'ils ne sont pas fournis, ils sont définis par les relations

$$K_1 = GAMMA_2 - 2K_2 (2 \phi_f - V_{BM}) \quad (2.15)$$

$$K_2 = \frac{(GAMMA_1 - GAMMA_2) \left(\sqrt{2 \phi_f - V_{BX}} - \sqrt{2 \phi_f} \right)}{2 \sqrt{2 \phi_f} \left(\sqrt{2 \phi_f - V_{BM}} - \sqrt{2 \phi_f} \right) + V_{BM}} \quad (2.16)$$

dans lesquelles

$$GAMMA_1 = \sqrt{\frac{2q\epsilon_s NCH}{C'_{ox}}} \quad (2.17)$$

$$GAMMA_2 = \sqrt{\frac{2q\epsilon_s NSUB}{C'_{ox}}} \quad (2.18)$$

VBX correspond à la polarisation du substrat pour laquelle la largeur de la région de déplétion est égale à X_t :

$$VBX = 2\phi_f - \frac{qNCH}{2\epsilon_s} X_t^2 \quad (2.19)$$

VBX est évaluée en prenant les valeurs par défaut $X_t = 155$ nm et $VBM = -3$ V. VBX doit être négative dans BSIM3 pour un n-MOS ou un p-MOS car une valeur positive signifierait que la jonction substrat-source est polarisée en direct, ce qui n'est pas permis dans des conditions normales d'opération.

2.5.3 Réduction de la mobilité

Le phénomène de réduction de la mobilité dans les transistors de petite taille est illustré à la

figure 2.9. Lorsque le porteur traverse le canal du drain vers la source, il est attiré vers la grille par le champ électrique vertical normal (E_{normal}) formé entre la grille et le canal. L'attraction exercée par ce champ électrique donne lieu à des collisions avant que le porteur n'atteigne la source.

E_{normal} étant une fonction X_t , sa valeur moyenne peut être définie par

$$\langle E_{normal} \rangle = \frac{Q'_B + Q'_{inv}/2}{\epsilon_s} \quad (2.20)$$

où Q'_B est la quantité de charges du substrat par unité de surface, Q'_{inv} est la quantité de charges d'inversion par unité de surface et ϵ_s est la permittivité du silicium.

Gildenblat (1989, cité dans [FOT97]) a démontré que cette expression peut être réécrite :

$$\langle E_{normal} \rangle = \frac{V_{GS} + V_{th}}{6t_{ox}} \quad (2.21)$$

La relation entre la mobilité et le champ électrique est donnée par le modèle de mobilité universel [JOH97] :

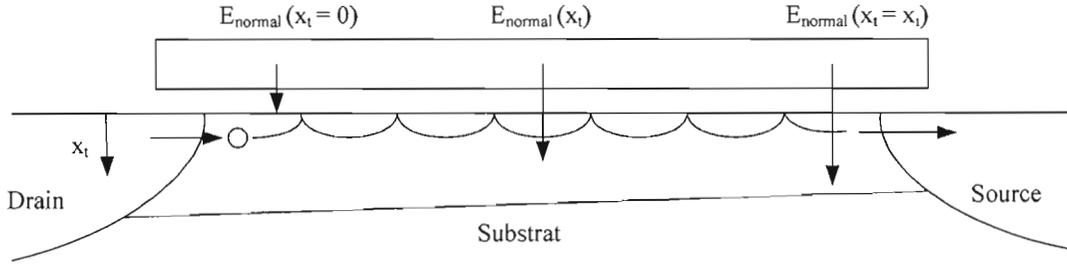


Figure 2.9 : Déplacement des charges dans le canal sous l'effet du champ électrique vertical (Adapté de [LIU01]).

$$\mu_{eff} = \frac{\mu_0}{1 + \left(\frac{\langle E_{normal} \rangle}{E_0} \right)^\nu} \quad (2.22)$$

où μ_0 est la mobilité pour un champ électrique nul, E_0 est un champ électrique critique et ν un paramètre variant entre 1 et 2. L'exposant ν entraînant des temps de calculs prohibitifs, BSIM3 propose trois modèles unifiés de mobilité (mobmod = 1, mobmod = 2 et mobmod = 3). Le premier modèle unifié est le suivant :

$$\mu_{eff} = \frac{U0}{1 + (UA + UC \cdot V_{BS}) \left(\frac{V_{GS} + V_{th}}{t_{ox}} \right) + UB \left(\frac{V_{GS} + V_{th}}{t_{ox}} \right)} \quad (2.23)$$

$U0$ modélise la mobilité pour un champ électrique nul; et UA , UB et UC sont des coefficients de dégradation de la mobilité.

Le deuxième modèle de mobilité est destiné à modéliser le TMOS en mode de déplétion alors que le troisième prend en compte les dépendances à la polarisation du substrat. Nous nous limitons au premier modèle puisqu'il est suffisant pour notre travail de recherche.

2.5.4 Effets capacitifs associés à la structure d'un TMOS

Le transistor possède des capacités intrinsèques (Grille-source et Source-substrat) et des capacités extrinsèques (figure 2.10). Seules les capacités de la source sont considérées, car elles sont connectées à la sortie de l'E/B.

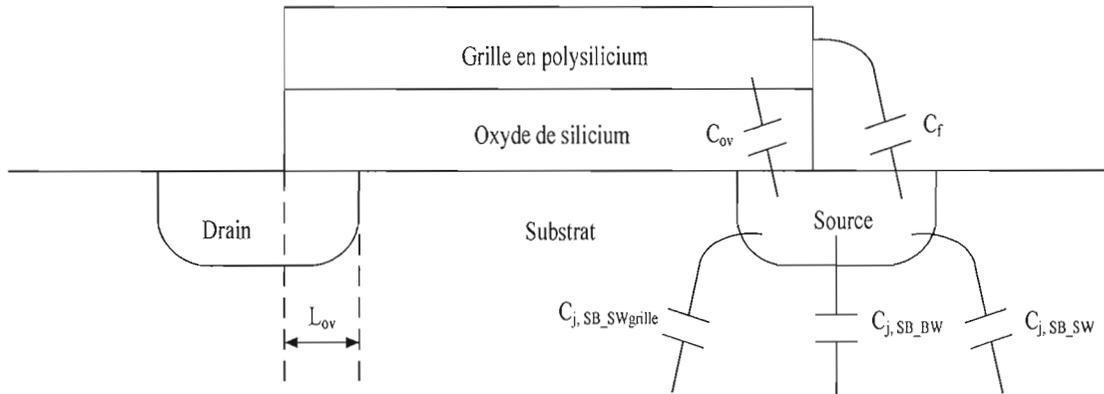


Figure 2.10 : Capacités parasites dans BSIM3 (Adapté de [LIU01]).

Les deux types de capacité s'ajoutent à la capacité du condensateur de sortie C_L de l'E/B qui forme un circuit RC avec le commutateur et crée des effets de bord inévitables :

- limitation de la bande passante ;
- distorsion harmonique.

Les limitations de la bande passante sont traitées dans la section 2.7 et l'analyse de la distorsion sera abordée aux chapitres 4 et 5.

2.5.4.1 Modèle capacitif Grille-Source

La capacité totale grille-source ($C_{gs,t}$) dans un transistor MOS est la somme de la capacité intrinsèque, (C_{gs}) et d'une capacité parasite ($C_{gs,p}$).

$C_{gs,p}$ (voir figure 2.10) est constitué d'une capacité de bord (C_f) créé par les champs électriques latéraux et d'une capacités de chevauchement (C_{ov}), située entre la grille et la région de chevauchement de la source (L_{ov}) [LIU01]. L_{ov} est représentée uniquement sur le drain pour faciliter la lecture mais existe aussi pour la source.

2.5.4.1.1 Capacité intrinsèque

La capacité grille-source est modélisée par l'expression [LIU01] :

$$C_{gs} = W \cdot L \cdot C_{ox} \left[\frac{2}{3} \times \frac{2\alpha + 1}{(1 + \alpha)^2} \right] \quad (2.24)$$

où l'indice de saturation (α) est donné par :

$$\alpha = \begin{cases} 1 - \frac{V_{DS,\infty}}{V_{DS,sat}}, & \text{pour } V_{DS,\infty} < V_{DS,sat} \\ 0 & \text{pour } V_{DS,\infty} \geq V_{DS,sat} \end{cases} \quad (2.25)$$

où la tension de saturation $V_{DS,\infty}$ est la tension drain-source pour laquelle V_{DS} est stable.

L'expression de $V_{DS,sat}$ est la suivante :

$$V_{DS,sat} = \frac{V_{GS,\infty} - V_{th}}{1 + \delta} \quad (2.26)$$

où δ est le facteur de charge du substrat. δ est l'opposé de la dérivée de la tension de seuil par rapport à la tension substrat-source :

$$\delta = -\frac{dV_{th}}{dV_{BS}} \quad (2.27)$$

En utilisant les équations (2.11) et (2.27), le facteur de charge du substrat vaut :

$$\delta = -\frac{dV_{th}}{dV_{BS}} = K_2 + \frac{1}{2} K_1 (2\phi_f - V_{BS})^{-\frac{1}{2}} \quad (2.28)$$

Puisque $-V_{BS} = V_S$,

$$\delta = K_2 + \frac{K_1}{2\sqrt{2\phi_f + V_S}} \quad (2.29)$$

Pendant l'échantillonnage, l'E/B fonctionne dans la région triode. Dans cette région, $V_{DS,\infty} = 0$ alors $\alpha = 1$ conformément à l'équation (2.25). L'expression de la capacité C_{gs} est alors simplifiée :

$$C_{gs} = \frac{1}{2} W \cdot L \cdot C_{ox} \quad (2.30)$$

2.5.4.1.2 Capacité de chevauchement

Lorsqu'un canal d'inversion existe, la capacité de chevauchement est calculée par la relation $C_{ov} = \epsilon_{ox} / t_{ox} \times W \times L_{ov}$ où L_{ov} est la distance de chevauchement indiquée à la figure 2.10.

Dans BSIM3v3, C_{ov} est déterminé par la relation liant les paramètres CGS0, CGS1 et CKAPPA :

$$C_{ov} = W_{eff,CV} \times \left[CGS0 + CGS1 - CGS1 \left(1 - \frac{1}{1 - \frac{4 \cdot V_{GS,chevauchement}}{CKAPPA}} \right) \times f(V_{GS}) \right] \quad (2.31)$$

où

$$V_{GS,chevauchement} = \frac{1}{2} \left[V_{GS} + 0.02 - \sqrt{(V_{GS} + 0.02)^2 + 0.08} \right] \quad (2.32)$$

et $f(V_{GS})$ est une fonction de lissage variant entre 0 et 1, et CKAPPA est le coefficient de variation de la capacité de chevauchement. Dans BSIM3v3, la capacité grille-source par unité de largeur (CGS1) est nulle. L'expression de C_{ov} se simplifie alors

$$C_{ov} = W_{eff,CV} \times CGS0 \quad (2.33)$$

La largeur effective du canal pour la caractéristique Capacité-Tension ($W_{eff,CV}$) est donnée par

$$W_{eff,CV} = W - 2 \cdot DWC - 2 \cdot \Delta W_{géométrie,CV} \quad (2.34)$$

où

$$\Delta W_{géométrie,CV} = \frac{WLC}{L^{WLN}} + \frac{WWC}{W^{WWN}} + \frac{WWLC}{L^{WLN}W^{WWN}} \quad (2.35)$$

Les valeurs par défaut des paramètres BSIM3 des équations (2.34) et (2.35) sont données dans le tableau C.1.

Le coefficient de dépendance de la longueur pour le décalage de la largeur ($\Delta W_{\text{géométrie,CV}}$) est modélisé dans BSIM3 par le paramètre WLC dont la valeur par défaut vaut 0. Alors,

$$W_{\text{eff,CV}} = W - 2 \cdot DWC \quad (2.36)$$

où le décalage effectif de la largeur du canal (DWC) est un paramètre BSIM3v3 de valeur 1×10^{-8} m. L'expression finale de la capacité de chevauchement devient

$$C_{ov} = (W - 2 \cdot DWC) \times CGS0 \quad (2.37)$$

2.5.4.1.3 Capacité de bord

C_f est une constante indépendante de la tension de polarisation. Dans BSIM3v3, il est représenté par CF. Par défaut CF = 0.

En pratique, il existe une capacité de bord interne, associé au champ électrique à l'extrémité de l'aire de chevauchement de la grille de polysilicium et la source. Cette capacité peut être très élevée seulement lorsque le canal n'est pas encore inversé [LIU01]. Étant donné que nous que notre modèle sera valable pour la zone de fonctionnement en forte inversion, nous ne considérerons pas ces capacités parasites dans l'intégration du modèle.

2.5.4.1.4 Capacité grille-source totale

La capacité totale grille-source étant la somme de la capacité intrinsèque et des capacités parasites, nous obtenons

$$C_{gs,t} = \frac{1}{2} W \cdot L \cdot C_{ox} + (W - 2 \cdot DWC) \cdot (CGS0 + CF) \quad (2.38)$$

2.5.4.2 Modèle capacitif Source-Substrat

Définissons l'expression de la capacité totale source-substrat :

$$C_{sb,t} = C_{sb} + C_{j,SB} \quad (2.39)$$

Dans cette relation C_{sb} modélise la capacité intrinsèque source-substrat et $C_{j,SB}$ est la capacité parasite de jonction qui y est associée.

2.5.4.2.1 Capacité source-substrat

La capacité source-substrat est le produit du facteur de charge du substrat par la capacité source-grille

$$C_{sb} = \delta \cdot C_{sg} \quad (2.40)$$

Or,

$$C_{sg} = W \cdot L \cdot C_{ox} \left[\frac{2}{15} \times \frac{16\alpha^2 + 11\alpha + 3}{(1+\alpha)^3} \right] \quad (2.41)$$

En région triode $\alpha \rightarrow 1$, dans ce cas

$$C_{sb} = \delta \times \frac{1}{2} W \cdot L \cdot C_{ox} \quad (2.42)$$

2.5.4.2.2 Capacité parasite de jonction

La capacité parasite de la jonction source-substrat est constitué de trois² composantes car les zones du substrat adjacentes au bord inférieur, au bord d'isolation et au bord adjacent à la grille ont des concentrations de dopant différentes [LIU01]. Ces composantes sont représentées à la figure 2.10 par $C_{j,SB_SWgrille}$, C_{j,SB_BW} et C_{j,SB_SW} .

Lorsque la jonction source-substrat est polarisée en inverse ($V_{BS} < 0$), l'expression de la capacité parasite de jonction totale est donnée par la relation qui suit :

² Dans les technologies antérieures, il n'était pas nécessaire de faire de distinction entre C_{j,SB_SW} et $C_{j,SB_SWgrille}$ car les concentrations de dopant du substrat aux bords adjacent et éloigné de la source étaient similaires. Ceci n'est plus vrai dans les technologies CMOS modernes. Plus de détail dans [LIU01], pp. 118-20.

$$C_{j,SB} = \frac{CJ}{\left(1 - \frac{V_{BS}}{PB}\right)^{MJ}} AS + \frac{CJSW}{\left(1 - \frac{V_{BS}}{PBSW}\right)^{MJSW}} (PS - W_{eff,CV}) + \frac{CJSWG}{\left(1 - \frac{V_{BS}}{PBSWG}\right)^{MJSWG}} W_{eff,CV} \quad (2.43)$$

où la largeur effective du canal pour la caractéristique Capacité-Tension ($W_{eff,CV}$) est donnée en (2.36). Les paramètres en caractères d'imprimerie de l'équation (2.43) sont des paramètres de BSIM3 dont les valeurs par défaut sont indiquées dans l'annexe C, à l'exception du périmètre (PS) et de l'aire (AS) de la source qui sont calculés dans la suite de cette section.

BSIM3 ne prend en considération que les transistors à géométrie simple. Les transistors à grille multiple sont traités en répliquant le nombre d'instances de transistor à grille unique à travers le paramètre (MI). La vue détaillée de la jonction de la source en figure 2.11 peut alors être utilisée pour calculer AS et PS.

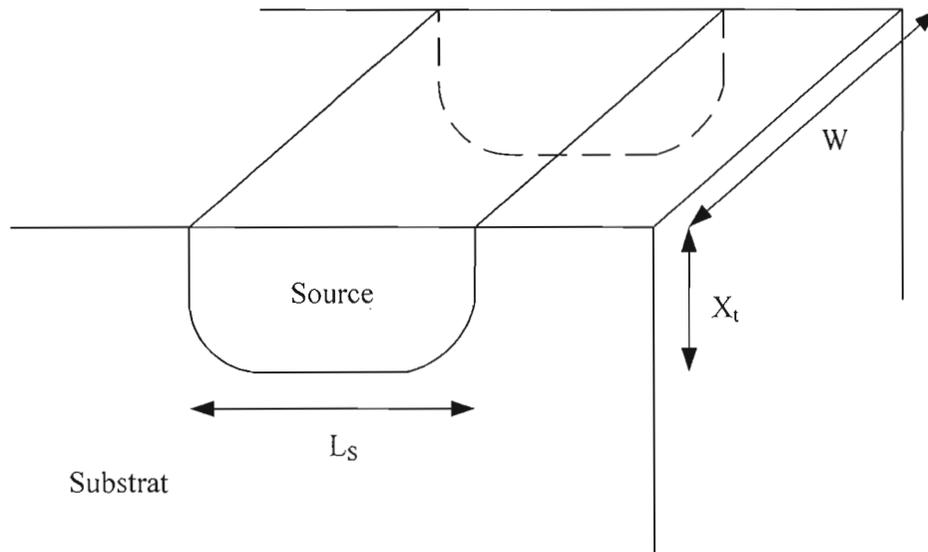


Figure 2.11 : Vue détaillée d'une jonction source-substrat (Adapté de [TOS04]).

L'aire et le périmètre de la source sont donnés par les relations

$$AS = W \cdot L_S \quad (2.44)$$

et

$$PS = W + 2L_S \quad (2.45)$$

La longueur standardisée du canal du transistor est $L = 2\lambda$, où λ est une métrique de conception des circuits intégrés définie par MOSIS, alors que la longueur standardisée de la jonction est $L_S = 5\lambda$. Alors $L_S = (5/2)L$ [DES07]. En région triode, la largeur dessinée du canal (W) doit être remplacée par la largeur effective (W_{eff}) pour tenir compte des effets géométriques liés au développement photolithographique ($\Delta W_{\text{géométrie,CV}}$) et à la réduction de W due à l'inversion du canal. AS et PS sont alors définis par les relations :

$$AS = W_{\text{eff,CV}} \frac{5}{2} L \quad (2.46)$$

et

$$PS = W_{\text{eff,CV}} + 5L \quad (2.47)$$

Remarquons qu'il est courant dans les circuits analogiques d'avoir des transistors à grilles multiples implantés selon un dessin de masque entrelacé afin de réduire l'aire des jonctions. Dans ce cas, l'expression de la capacité de jonction utilisée en (2.43) n'est plus valide car la largeur effective dépend de la quantité de charges de déplétion créées par la tension de polarisation de la jonction. Les expressions de AS et de PS doivent aussi être modifiées en conséquence. BSIM4 introduit un ensemble de paramètres afin de contourner cette difficulté. Les capacités de jonction sont calculées en tenant compte du nombre de grilles indiqué par NF, et des paramètres MIN, GEOMOD et RGEOMOD pour spécifier l'arrangement géométrique des contacts de drain et de source [LIU01].

2.5.4.2.3 Capacité source-substrat totale

La somme de la capacité intrinsèque C_{sb} et de la capacité parasite de jonction $C_{j, sb}$ donne la capacité source-substrat totale

$$C_{sb, t} = \delta \times \frac{1}{2} W \cdot L \cdot C_{ox} + \frac{CJ}{\left(1 - \frac{V_{BS}}{PB}\right)^{MJ}} AS + \frac{CJSW}{\left(1 - \frac{V_{BS}}{PBSW}\right)^{MJSW}} (PS - W_{eff, CV}) + \frac{CJSWG}{\left(1 - \frac{V_{BS}}{PBSWG}\right)^{MJSWG}} W_{eff, CV} \quad (2.48)$$

Contrairement, aux capacités intrinsèques, les capacités parasites sont exclusivement dépendantes de la polarisation [LIU01]. Étant donné que ceux-ci s'ajoutent à la capacité du condensateur de charge C_L , le circuit RC formé par l'E/B est non linéairement dépendant de la polarisation.

Dans les sections suivantes, nous montrerons que cette non-linéarité a des répercussions sur la performance de l'échantillonneur-bloqueur.

2.6 Métriques de performance de l'échantillonneur-bloqueur

Un échantillon prélevé à un instant quelconque à la sortie d'un E/B idéal a pour amplitude celle de l'excitation soumise à l'entrée de celui-ci, à ce même instant. En pratique, les effets non idéaux présentés dans la section 2.5 introduisent des variations de tension à la sortie de l'E/B [SHE84], [HAY04].

Pour les circuits analogiques, le test sinusoïdal³ est une méthode d'évaluation incontournable car la sinusoïde est le seul signal dont la forme n'est pas altérée lorsqu'il est injecté dans un circuit linéaire [ROB95]. En effet, l'analyse dans le domaine fréquentielle de la sortie du circuit soumis à un signal d'entrée de la forme $A \sin(2 \cdot \pi \cdot f \cdot t)$, où A est l'amplitude du signal, t le temps et f la fréquence,

³ Le test sinusoïdal permet de caractériser le comportement dynamique d'un circuit. Dans ce travail, nous ne considérerons pas les caractéristiques statiques de l'E/B (l'erreur de gain, l'erreur de décalage et les erreurs d'intégralité linéaire et différentielle).

contient une raie unique – la fondamentale – au dessus du plancher de bruit quand l'amplitude est suffisamment faible : la réponse linéaire. Lorsque le circuit est non idéal, l'augmentation graduelle de l'amplitude du signal d'entrée fait apparaître des composantes – les harmoniques – à des fréquences multiples de f , où les multiples sont des entiers. Ces harmoniques caractérisent la distorsion [CHE03]. Parmi les mesures de distorsion possibles à partir du test sinusoïdal figurent la distorsion harmonique totale (DHT), la gamme dynamique (GD), et le rapport signal sur bruit (S/B) [SAL02].

2.6.1 La distorsion harmonique totale

La distorsion harmonique totale (DHT) est définie par le rapport entre la racine de la somme des carrés des amplitudes des harmoniques et la fondamentale [CHE03],

$$DHT = 10 \cdot \log \left(\frac{\sqrt{\sum_{n>1} H_n^2}}{A} \right) \quad [dB] \quad (2.49)$$

où H_n représente l'amplitude de l'harmonique d'ordre n . Typiquement, les harmoniques de second et de troisième ordre sont suffisantes car l'erreur de calcul est négligeable lorsque les harmoniques d'ordres supérieurs ne sont pas considérés [CHE03].

Il convient aussi d'exprimer la distorsion harmonique individuellement, pour chacune des composantes de second et de troisième ordre (HD_2 et HD_3 respectivement), par les relations [PAL98]

$$HD_2 = 10 \cdot \log \left| \frac{H_2}{A} \right| \quad [dB] \quad (2.50)$$

et

$$HD_3 = 10 \cdot \log \left| \frac{H_3}{A} \right| \quad [dB] \quad (2.51)$$

où H_2 et H_3 sont les amplitudes des harmoniques de second et de troisième ordre respectivement; A est l'amplitude du signal d'entrée.

2.6.2 Gamme dynamique

La gamme dynamique peut s'exprimer comme une différence de gain (en décibels) entre la fondamentale et l'harmonique la plus large du spectre du signal de sortie.

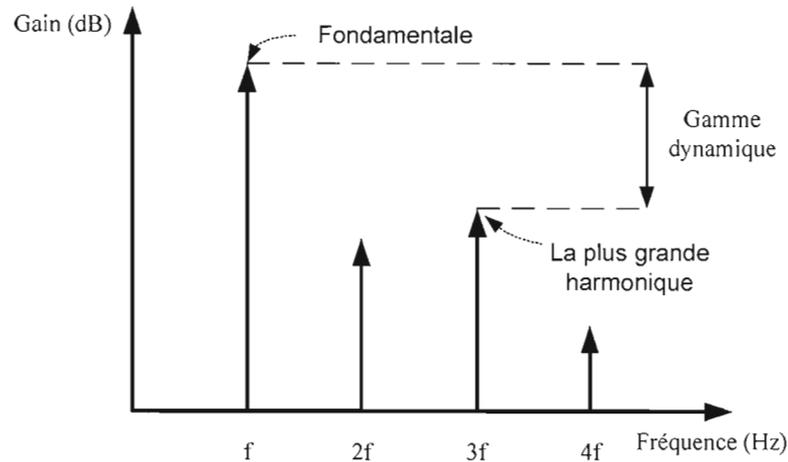


Figure 2.12 - Mesure de la gamme dynamique.

2.6.3 Le rapport signal sur bruit

Le rapport signal sur bruit (S/B) est défini par le rapport de puissance entre la composante fondamentale et le bruit [SAL02]. Il s'exprime par la relation

$$S/B = 20 \log \left(\frac{\text{Puissance du Signal}}{\text{Puissance du Bruit}} \right) \quad [dB] \quad (2.52)$$

2.7 Précision d'échantillonnage

La résistance du commutateur étant inversement proportionnelle à sa conductance, la fréquence de coupure à -3 dB du circuit RC formé par l'E/B s'exprime en fonction de la constante de temps par la relation :

$$f_{3dB} = \frac{1}{2\pi \cdot \tau} = \frac{g_{ds}}{2\pi \cdot C_{Tot}} \quad (2.53)$$

où C_{Tot} modélise le condensateur de charge total, incluant les effets capacitifs parasites du commutateur. Lorsque l'E/B sort de sa phase de blocage, il faut un certain temps pour que la sortie puisse suivre les variations de l'entrée avec une certaine précision dans une période d'échantillonnage. Il s'agit du temps d'acquisition ($t_{acquisition}$), conformément à la figure 2.13.

Le temps d'acquisition est l'un des paramètres qui limite la fréquence d'échantillonnage maximale. Dans le pire cas, il est donné en fonction de la constante de temps et de la résolution (n) par la relation [FAY03] :

$$t_{acquisition} = \tau(n+1)\ln(2) \quad (2.54)$$

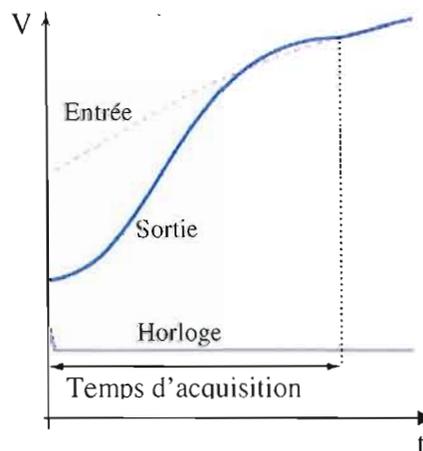


Figure 2.13 : Temps d'acquisition de l'échantillonneur-bloqueur (Tiré de [WAL02]).

Il est alors possible d'exprimer la fréquence maximale d'horloge en fonction de la constante de temps [FAY04] :

$$f_{clk,max} = \frac{1}{2 \cdot \tau \cdot n \cdot \ln(2)} = \frac{1}{2} \frac{g_{ds}}{C_{Tot} \cdot n \cdot \ln(2)} \quad (2.55)$$

où C_{Tot} modélise la somme de la capacité du condensateur de charge et des capacités parasites du commutateur. La fréquence de coupure peut s'exprimer en fonction de la fréquence du signal d'entrée et de la résolution [FAY04] :

$$\frac{f_{3dB}}{f_{sig}} \geq \frac{1}{\sqrt{(1-2^{-n})^2 - 1}} \cong 2^{\frac{n-1}{2}} \quad (2.56)$$

La fréquence maximale du signal d'entrée permise est obtenue en combinant les équations précédentes [FAY04] :

$$\frac{f_{sig}}{f_{clk}} \leq \left(2^{\frac{n-1}{2}}\right)^{-1} \times \frac{n \ln(2)}{\pi} \quad (2.57)$$

Les équations (2.53) à (2.57) sont utiles pour dimensionner les limites en fréquence de l'E/B en fonction de la conductance de l'échantillonneur et de la résolution.

2.8 Sources de non-linéarité de l'échantillonneur-bloqueur

Parmi les facteurs limitatifs de la performance dynamique de l'échantillonneur-bloqueur, les sources de non-linéarité suivantes prédominent [FAY06], [HAL99], [HAY04], [LEU99], [SHE87] :

- l'injection de charges ;
- l'excursion d'horloge ;
- l'erreur d'échantillonnage ;
- les variations de la constante de temps.

La section suivante est consacrée à la présentation des mécanismes qui contribuent à la formation de ces sources de distorsion.

2.8.1 L'injection de charges

Lorsque le commutateur analogique fonctionne en mode échantillonnage, il opère en région triode avec une différence de potentiel quasi nulle entre le drain et la source. Le canal du transistor est alors inversé et la quantité de charges accumulées dans le canal est donnée par la relation [JOH97] :

$$Q_{ch} = \begin{cases} -W \cdot L \cdot C_{ox} (V_{DD} - V_{in} - V_{th,n}) & \text{n-MOS} \\ W \cdot L \cdot C_{ox} (V_{in} - |V_{th,p}|) & \text{p-MOS} \end{cases} \quad (2.58)$$

À la fermeture du commutateur, il n'y a plus de force électrique qui dirige le mouvement des électrons (respectivement des trous) dans le canal du n-MOS (respectivement du p-MOS). Dans ces conditions, les charges fluctuent vers la source et le drain du transistor, créant ainsi le phénomène d'injection de charges schématisé à la figure 2.14.

Les charges injectées à l'entrée du commutateur sont absorbées par le drain tandis que celles injectées à la sortie s'ajoutent aux charges du condensateur de charge et introduisent une erreur sur la tension de sortie [CHA05] :

$$V_{inj} = \frac{k \cdot Q_{ch}}{C_L} = \begin{cases} -k \frac{W \cdot L \cdot C_{ox} (V_{DD} - V_{in} - V_{th,n})}{C_L} & \text{n-MOS} \\ k \frac{W \cdot L \cdot C_{ox} (V_{in} - |V_{th,p}|)}{C_L} & \text{p-MOS} \end{cases} \quad (2.59)$$

où k , la fraction de charges transférées à la sortie du commutateur, est une fonction complexe de la pente de l'horloge, des tensions de drain et de source, ainsi que des impédances vues par ces paramètres. Les recherches effectuées sur le facteur de partitionnement k ne permettent pas de définir ce paramètre de façon précise car k dépend de paramètres mal contrôlés, tels que le temps de transition de l'horloge, ou la tension de seuil, cependant une pratique courante consiste à utiliser un facteur $k = 0.5$ pour des transitions rapides de l'horloge [SHE87].

Une façon simple de réduire l'injection de charge est d'utiliser un condensateur de charge de grande capacité. Malheureusement, une grande valeur de condensateur de

charge implique une plus grande surface de silicium et une réduction de la rapidité du circuit puisque la constante de temps est proportionnelle au condensateur de charge.

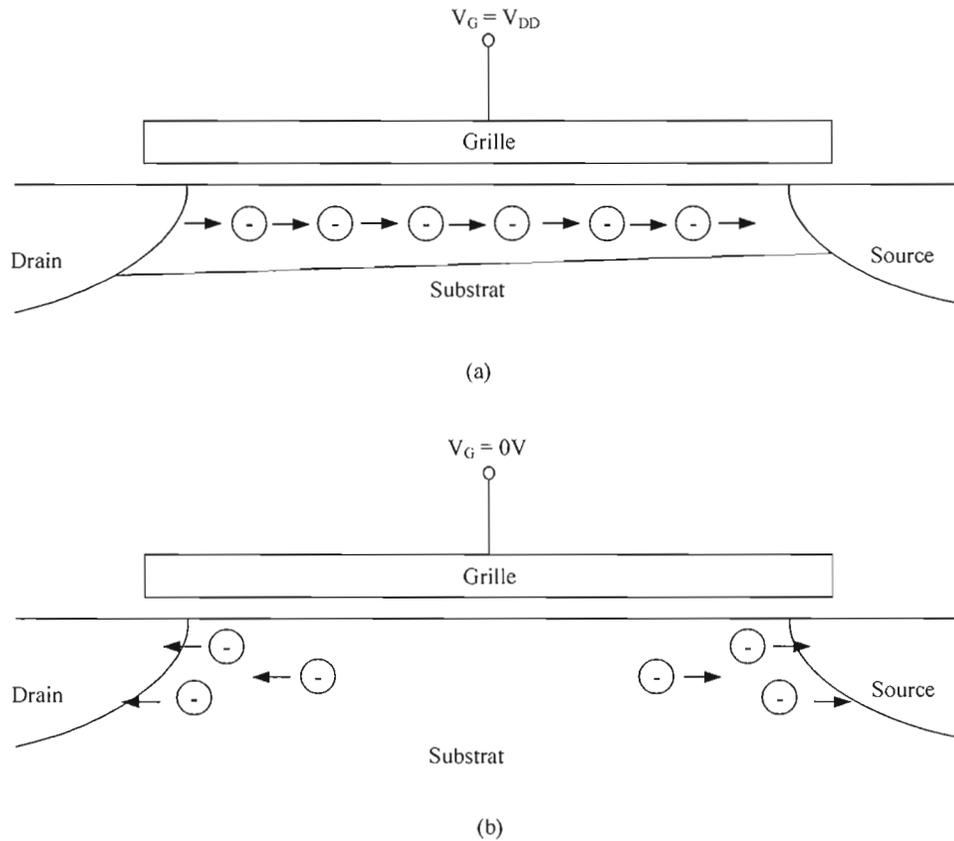


Figure 2.14 : Phénomène d'injection de charges dans un TMOS : (a) flux de courant dans le canal avant l'injection de charge, (b) injection équitable des charges dans le drain et la source (Tiré de [SAL02]).

Une autre technique consiste à utiliser la porte de transmission (figure 2.4-c). En première approximation, les charges injectées par les transistors de type p et n devraient s'annuler. Cependant, lors de la conception d'une porte de transmission, il est nécessaire d'avoir des transistors de même rapport d'aspect (W/L). Or la mobilité des trous (μ_p) est d'environ 2.5 fois inférieure à celle des électrons (μ_n) pour des transistors de même géométrie [SKO00]. Cette contrainte physique impose au concepteur de déterminer la largeur des transistors en respectant la relation [FAY04] :

$$W_p = m_{n/p} W_n \quad (2.60)$$

où $m_{n/p} = \mu_n / \mu_p$ en supposant les longueurs de canal identiques pour les deux transistors. Dans ce cas, l'erreur d'injection de charges est donnée par la relation [FAY04]:

$$V_{inj} = \frac{W \cdot L \cdot C_{ox}}{2 \cdot C_L} \left[(1 - m_{n/p}) V_{in} + V_{th,n} - m_{n/p} |V_{th,p}| - V_{DD} \right] \quad (2.61)$$

Les équations (2.59) et (2.61) permettent de constater que V_{inj} est linéairement dépendante de la tension d'entrée, ce qui ajoute une erreur de gain à l'E/B. De plus, V_{inj} est aussi dépendante de la tension de seuil qui est une fonction non linéaire de la tension d'entrée à cause des variations dues à l'effet de substrat. L'injection de charges introduit donc de la distorsion à la sortie de l'E/B.

2.8.2 L'excursion d'horloge

La transition descendante (respectivement montante) de l'horloge du circuit n-MOS (respectivement du p-MOS) produit une fuite de charges indépendante de la tension d'entrée à travers la capacité parasite de chevauchement (C_{ov}) du transistor entre la grille et la source: l'excursion d'horloge. L'erreur produite par l'excursion d'horloge est donnée par la relation [SHE87] :

$$V_{eh} = \begin{cases} -V_{DD} \frac{C_{ov,n}}{C_{ov,n} + C_L} & \text{n-MOS} \\ V_{DD} \frac{C_{ov,p}}{C_{ov,p} + C_L} & \text{p-MOS} \end{cases} \quad (2.62)$$

La taille des transistors de la porte de transmission doit respecter la relation (2.60). Dans ces conditions, l'excursion d'horloge est donnée par l'expression [FAY04] :

$$V_{eh} = C_{ov,n} V_{DD} \left(\frac{m_{n/p}}{C_L + m_{n/p} C_{ov,n}} - \frac{1}{C_L + C_{ov,n}} \right) \quad (2.63)$$

Contrairement à l'injection de charges, l'excursion d'horloge n'introduit pas de distorsion mais ajoute une erreur de décalage à la tension de sortie de l'E/B [WAL02]. L'excursion d'horloge est communément ajoutée à l'injection de charge puisqu'elle n'introduit pas d'harmonique additionnelle.

2.8.3 L'erreur d'échantillonnage

Considérons l'E/B n-MOS de la figure 2.4-a afin d'illustrer l'effet de la pente finie de l'horloge. Une étude similaire peut être faite pour les autres topologies de l'E/B [HAY04].

La pente finie de l'horloge d'échantillonnage donne naissance à la distorsion due à l'erreur d'échantillonnage dont le principe est illustré à la figure 2.15. L'échantillon est prélevé sur le front descendant de l'horloge, au point d'intersection de la tension d'horloge (Φ) avec la référence $V_{DC} + V_{th, n}$. Tel qu'illustré, l'instant d'échantillonnage réel (t_r) dévie par rapport à l'instant d'échantillonnage idéal (t_i). Il peut être prouvé que lorsque le signal d'entrée est dans son alternance positive, l'échantillon est prélevé avant l'instant idéal, tandis qu'il est prélevé après – c'est le cas dans l'illustration de la figure 2.15 – lorsque le signal d'entrée fait son alternance négative [HAY04].

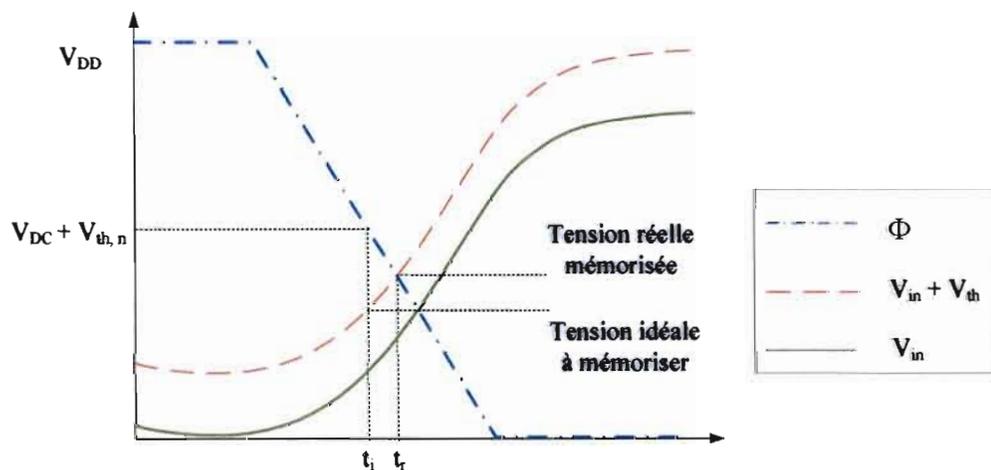


Figure 2.15 : Erreur d'échantillonnage due à la pente de l'horloge (Tiré de [HAY04]).

Il sera démontré au chapitre 4 que la déviation de l'échantillonnage réel relativement à l'instant idéal d'échantillonnage est une fonction de la pente de l'horloge, de l'amplitude du signal d'entrée et de sa fréquence [HAY04], [LEU99].

2.8.4 Variations de la constante de temps

La conductance du canal (g_{ds}) du TMOS étant linéairement dépendante du potentiel appliqué à sa grille, la constante de temps (τ) du circuit RC formé par le circuit est donnée par la relation :

$$\tau = \frac{C_L}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_G - V_S - V_{th,n})} \quad (2.64)$$

Sur le front descendant de la tension de grille, les variations linéaires de g_{ds} impliquent une croissance non-linéaire de τ qui produit de la distorsion [LEU99], [HAL99].

Nous avons présenté le principe de fonctionnement de l'échantillonneur-bloqueur et montré que sa réalisation pratique offre de meilleures performances en boucle fermée, compte tenu des contraintes imposées par les circuits en amont et en aval de l'E/B.

Devant le nombre important de failles des modèles compacts de première et de seconde génération, les modèles de troisième génération se sont démocratisés. Parmi les modèles de troisième génération, BSIM3 est le modèle qui s'est imposé comme standard. Les avantages de ce dernier sont les suivants :

- permet la description du transistor en gardant les liens physiques des paramètres ;
- restreint l'utilisation d'équations polynomiales ;
- décrit les effets de petite géométrie ;
- inclut les capacités parasites intrinsèques et extrinsèques.

Nous avons alors choisi BSIM3 comme modèle compact, compte tenu de ses aptitudes à décrire le comportement des transistors avec une précision suffisante pour notre travail de recherche.

L'implantation du commutateur analogique en technologie MOS est avantageuse, cependant les capacités parasites ont un impact sur la précision d'échantillonnage et sur les performances dynamiques de l'échantillonneur. Les limites de performance sont imposées par les sources de non-linéarité.

Pour terminer, nous avons présenté les mécanismes qui contribuent à la formation des effets de non-linéarité de l'échantillonneur et identifié les trois sources de distorsion principales qui limitent la performance de l'E/B :

- l'injection de charges ;
- l'erreur d'échantillonnage ;
- les variations de la constante de temps.

Chapitre 3

TECHNIQUES DE CONCEPTION DE L'ÉCHANTILLONNEUR-BLOQUEUR

Au chapitre précédent, nous avons identifié l'injection de charges, les variations de la constante de temps et l'erreur d'échantillonnage comme sources de distorsion de l'échantillonneur-bloqueur. Compte tenu des limites de performances dynamiques imposées par ces sources de distorsion, il est primordial d'évaluer la contribution des sources de distorsion avant la fabrication du circuit.

Le but de ce chapitre est de décrire l'état de l'art des techniques et méthodologies de conception des échantillonneurs-bloqueurs. Les techniques de modélisation analytiques seront d'abord présentées. Nous discuterons ensuite des techniques de caractérisation ayant recours aux simulateurs analogiques de la famille SPICE. Enfin, nous considérerons la macro-modélisation (ou modélisation structurelle) et les apports de la modélisation comportementale.

3.1 Modélisation analytique de la distorsion harmonique

La distorsion harmonique peut être exprimée en utilisant l'expansion en séries de Volterra [HER03], [LEU99] ou par approximation polynomiale [HAL99], [HAY04].

3.1.1 Modélisation basée sur les séries de Volterra

Sous certaines conditions de continuité, un système peut être décrit par une série de Volterra d'ordre n dont la convergence est uniforme [HER03] :

$$\begin{aligned}
H_1[x(t)] &= \int_{-\infty}^{\infty} h_1(\tau_1) \cdot x(t-\tau_1) d\tau_1 \\
H_2[x(t)] &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} h_2(\tau_1, \tau_2) \cdot x(t-\tau_1) x(t-\tau_2) d\tau_1 d\tau_2 \\
&\vdots \\
H_n[x(t)] &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h_n(\tau_1, \tau_2, \dots, \tau_n) \cdot x^n \prod_{j=1}^n (t-\tau_j) d\tau_1 d\tau_2 \dots d\tau_n
\end{aligned} \tag{3.1}$$

Les $h_i(\cdot)$ sont les noyaux de Volterra dont l'ordre est donné par i . La série peut être transformée dans le plan complexe en appliquant une transformée de Laplace multidimensionnelle :

$$\begin{aligned}
H_1[s_1] &= \int_{-\infty}^{\infty} h_1(\tau_1) \cdot e^{-s_1\tau_1} d\tau_1 \\
H_2[s_1, s_2] &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} h_2(\tau_1, \tau_2) \cdot e^{-(s_1\tau_1 + s_2\tau_2)} d\tau_1 d\tau_2 \\
H_3[s_1, s_2, s_3] &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \{h_3(\tau_1, \tau_2, \tau_3) \cdot e^{-(s_1\tau_1 + s_2\tau_2 + s_3\tau_3)}\} d\tau_1 d\tau_2 d\tau_3 \\
&\vdots
\end{aligned} \tag{3.2}$$

Cependant, l'analyse par les séries de Volterra conduit à des calculs laborieux impliquant des expressions symboliques complexes [HER03]. La fonction de transfert d'un système de second ordre de la figure 3.1 illustre ce propos.

La détermination de la fonction de transfert du système impose la détermination des fonctions de transfert $H_a(s)$, $H_b(s)$, $H_{OUT}(s)$ et du coefficient de non linéarité de second ordre $K2_{a,b}$. L'expression résultante contient un nombre important de termes qui permettent d'obtenir à la fois les produits d'intermodulation et les réponses harmoniques. D'une manière générale, l'expression des fonctions de transfert se complexifie en proportion avec leur ordre, ce qui en fait un outil d'analyse difficile à mettre en œuvre [HER03].

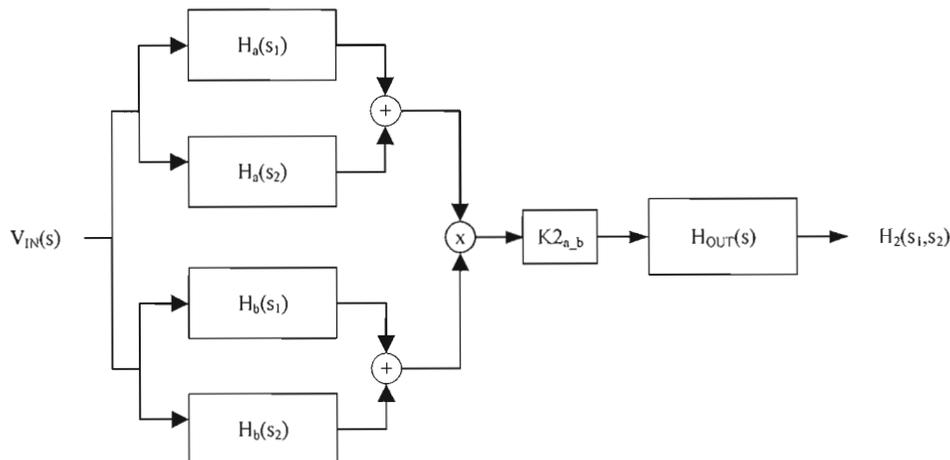


Figure 3.1 : Fonction de transfert d'une série de Volterra de second ordre (Tiré de [HER03]).

3.1.1.1 Systèmes invariants

Les travaux menés par Meyer [LEU99] et Keys [LEU99], ont permis d'appliquer la théorie des séries de Volterra pour les systèmes invariants afin d'exprimer la distorsion inhérente au circuit RC formé par l'E/B lorsque les transitions de l'horloge sont instantanées. Pour des fréquences suffisamment basses, cette méthode permet d'extraire la distorsion qui est principalement dépendante de la caractéristique non-linéaire du courant drain-source.

Cette méthode permet d'obtenir une bonne approximation de la distorsion lorsque le temps de transition est nul ou très petit devant la constante de temps. En pratique, la pente finie de l'horloge invalide les suppositions faites dans la théorie des séries de Volterra développée pour les systèmes invariants [LEU99].

3.1.1.2 Systèmes variants

Leung et al. [LEU99] ont démontré qu'il est possible de combiner la théorie des séries de Volterra pour les systèmes invariants avec celles des systèmes variants dans le temps afin de caractériser complètement la distorsion de l'E/B en établissant des relations avec les paramètres physiques du commutateur et du condensateur de charge.

La méthode d'analyse développée permet d'évaluer la distorsion pour des temps de transition d'horloge arbitraires. Comme nous l'avons dit précédemment, l'inconvénient majeur de cette méthode d'analyse est qu'elle s'avère complexe. Par ailleurs, l'effet de substrat et les capacités de jonction dépendants de la polarisation du commutateur analogique ne sont pas intégrés au modèle de distorsion.

3.1.2 Modélisation basée sur les séries de Taylor

L'état de l'art des méthodes analytiques d'évaluation de la distorsion basées sur les séries de Taylor nous a permis de recenser deux modèles. Le premier modèle décrit la distorsion d'échantillonnage et le second, la distorsion due aux variations de la constante de temps.

3.1.2.1 Distorsion due à l'erreur d'échantillonnage

Les travaux de Hayasaka et Kobayashi [HAY04] sur la distorsion d'erreur d'échantillonnage des E/B n-MOS, p-MOS et CMOS, avec et sans décalage entre les pentes d'horloges, démontrent que la distorsion d'échantillonnage provient d'une modulation de la phase dépendante du signal d'entrée (amplitude, fréquence) et de l'horloge (tension maximale, pente, temps de transition, tension de décalage).

Les expressions de la distorsion de l'échantillonneur n-MOS simple développées par Hayasaka et Kobayashi [HAY04] sont identiques à celles de Leung et al. [LEU99]. Cependant, comparativement à la méthode d'analyse basée sur les séries de Volterra, les séries de Taylor sont bien plus simples à mettre en œuvre.

3.1.2.2 Distorsion due aux variations de la constante de temps

Halonen et Waltari [HAL99] proposent une technique de modélisation de la distorsion de la constante de temps par une approximation polynomiale en fonction du signal l'entrée :

$$\tau = \tau_0 + \tau_1 V_{in} + \tau_2 V_{in}^2 + \tau_3 V_{in}^3 \quad (3.3)$$

L'expression de l'amplitude de la sortie en fonction de l'approximation polynomiale est donnée par

$$V_c = (1 - j\omega\tau_0)|V_{in}| - j\omega\tau_1|V_{in}|^2 - j\omega\tau_2|V_{in}|^3 - j\omega\tau_3|V_{in}|^4 - \dots \quad (3.4)$$

Ceci indique qu'une tension d'entrée d'une parité donnée produit des harmoniques d'un ordre de parité opposé et par la même occasion, ces résultats donnent une définition plus stricte de la précision de l'échantillonneur que ceux obtenus en (2.56) et (2.57) [HAL99].

Comparativement aux résultats de Leung et al. [LEU99], les expressions de la distorsion générée par les variations de la constante de temps développées par Halonen et Waltari [HAL99] sont plus simples à mettre en œuvre.

3.2 Caractérisation de l'E/B par simulation analogique

En réalisant le circuit de la figure 3.2, la résistance du commutateur en région triode est simulée en balayant le signal d'entrée à tension constante, de V_{DD} à V_{SS} [FAY04].

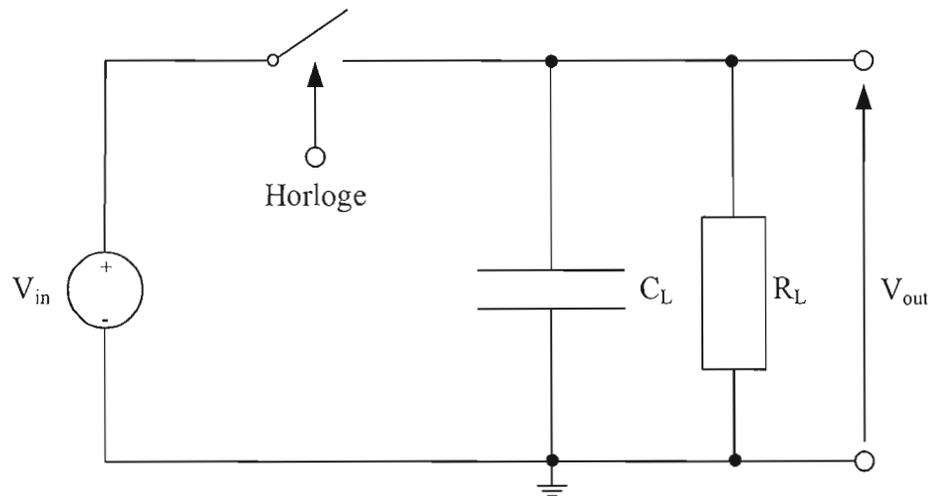


Figure 3.2 : Simulation de la résistance du commutateur en région triode (Tiré de [FAY04]).

Pour chaque niveau de la tension d'entrée, la chute de tension mesurée aux bornes de la résistance de charge R_L (pour n'importe quelle valeur) permet de déterminer la différence de potentiel aux bornes du commutateur, puisque le courant traversant le commutateur est identique à celui de la résistance de charge. Connaissant le courant et la différence de potentiel aux bornes du commutateur, la résistance de ce dernier est alors déduite par application de la loi d'ohm.

L'injection de charges et l'erreur d'échantillonnage due à la pente de l'horloge sont mesurées en réalisant le circuit de la figure 3.3. La procédure de mesure illustrée à la figure 3.4 consiste à calculer la différence de potentiel aux bornes du condensateur de charge, en se servant des tensions avant et après la fermeture de l'interrupteur [FAY04], [SHE84]. Pendant les phases où l'horloge (Φ) est fixée à V_{DD} , le commutateur est passant et la tension de sortie vaut V_{OUT1} . Lorsque la tension d'horloge passe de V_{DD} à V_{SS} , le commutateur se ferme et la tension de sortie passe à V_{OUT2} . La différence des tensions V_{OUT1} et V_{OUT2} donne l'erreur de tension à la sortie du commutateur.

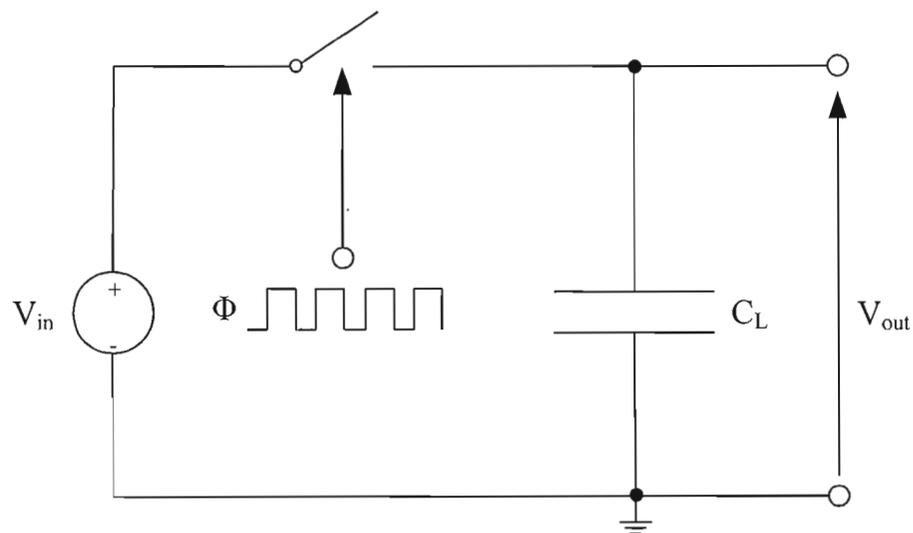


Figure 3.3 : Simulation de l'erreur de tension (Tiré de [FAY04]).

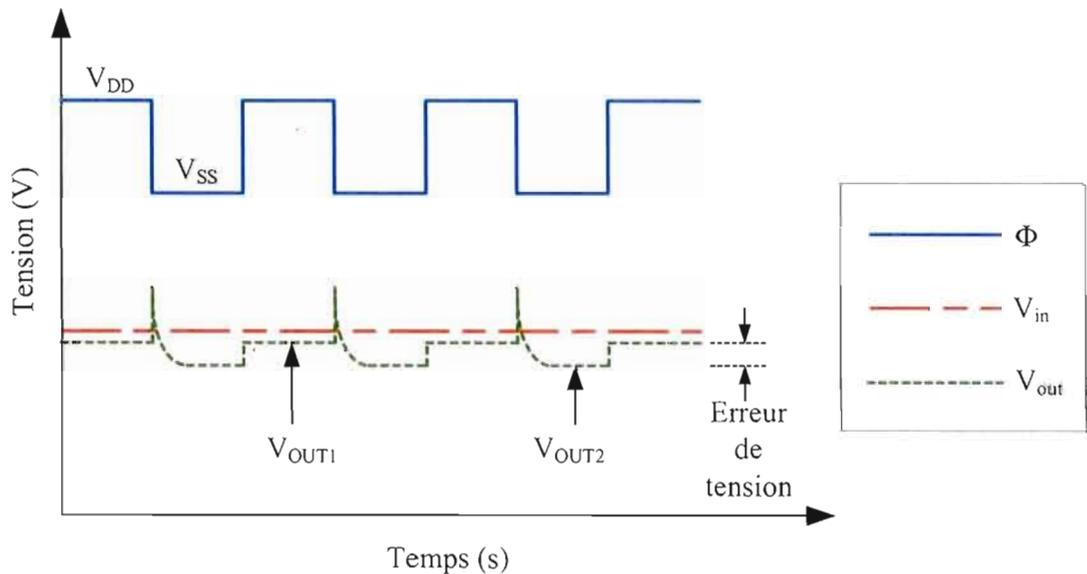


Figure 3.4 : Procédure de mesure de l'erreur de tension du commutateur (Tiré de [FAY04]).

L'erreur d'injection de charges est obtenue avec un temps de transition d'horloge instantané alors que l'erreur d'échantillonnage est obtenue en choisissant un temps de transition fini [SHE84].

Selon Fayomi [FAY04] et Roberts [ROB95], le prélèvement des échantillons par échantillonnage cohérent permet d'évaluer la distorsion de l'échantillonneur-bloqueur à partir d'une analyse transitoire. Pour une fréquence d'échantillonnage (f_{clk}) quelconque, les règles d'échantillonnage cohérent sont décrites comme suit :

- les échantillons doivent être prélevés dans l'état stable de la phase de blocage de l'E/B (temps d'acquisition très petit devant la période d'échantillonnage) ;
- le nombre de points prélevés doit être une puissance de 2 (en supposant l'algorithme de transformée de Fourier Rapide (TFR) d'ordre 2) ;
- la fréquence d'échantillonnage (f_{clk}), le nombre d'échantillons (N), le nombre de cycles (M), la fréquence d'entrée (f_{sig}) et la fréquence d'échantillonnage sont liés par la relation suivante :

$$f_{sig} = \frac{M}{N} f_{clk} \quad (3.5)$$

où M et N sont des entiers positifs tels que $2M < N$. Il est important de s'assurer que M et N soient relativement premiers afin de maximiser l'information moyenne contenue dans les échantillons prélevés. En somme, étant donné que N est une puissance de 2, il suffit que M soit un nombre impair différent de 1 ;

- s'assurer que le premier et le $(N+1)^{\text{ième}}$ échantillon prélevés soient sensiblement égaux dans le but de garantir une extension périodique sinusoïdale.

L'analyse spectrale des résultats de l'échantillonnage cohérent permet d'évaluer efficacement les performances dynamiques des circuits analogiques telles que la distorsion harmonique totale (DHT), la gamme dynamique (GD) et le rapport signal sur bruit (S/B) [FAY04], [ROB95].

3.3 Macro-modélisation

La macro-modélisation consiste à décrire le comportement des circuits complexes dans le temps ou en fréquence, en faisant abstraction de la représentation de la structurelle de celui-ci. Le but est de réduire les temps de simulation en simplifiant la représentation du circuit à l'aide des primitives d'un simulateur analogique [AND03], [JOR97], [LEM95]. Le tableau 3.1 décrit sommairement les fonctions des primitives de base des macro-modèles [LEM95].

L'association des primitives de base permet de réaliser des primitives complexes [LEM95]. Par ailleurs, la réalisation des sous-circuits par combinaison des primitives de base et/ou complexes permet de modéliser le comportement de circuits complets, conformément aux travaux menés par Jörges et al. [JOR97] sur l'élaboration d'un macro-modèle de l'échantillonneur-bloqueur.

Primitive	Fonction
Résistance	Limitation du courant dans les branches des circuits Impédance d'entrée ou de sortie
Source contrôlée	Expression des relations mathématiques entre les tensions et les courants sous forme polynomiale : addition, soustraction, séries de Taylor, sinusoides, exponentielle, logarithmes
Éléments réactifs : Condensateur et Inductance	Opération d'intégration et de dérivation, pour la description de fonctions de transfert en s
Diodes	Opérateur conditionnel des limiteurs de tension, des comparateurs et des amplificateurs à « zone morte » Générateur de fonctions linéaires par morceaux

Tableau 3.1 : Primitives de base de la macro-modélisation (Tiré de [LEM95]).

Bien que la macro-modélisation permette de réduire le temps de simulation comparativement à la simulation analogique, elle présente un certain nombre d'inconvénients. Le tableau 3.2 dresse un bilan non exhaustif sur la modélisation structurelle à partir des travaux réalisés en [BOY74], [BRO02], [HAR94], [BRI94], [KUN04]. Les langages de description matérielle constituent une meilleure alternative pour la modélisation comportementale [LEM95], [LAL05].

3.4 Modélisation comportementale

La modélisation comportementale permet de modéliser le comportement des systèmes⁴ à différents niveaux d'abstraction avec la possibilité de représenter les effets de non-linéarité plus facilement qu'avec la macro-modélisation [LAL05], [GIE08].

⁴ Systèmes électroniques, mécaniques, chimiques, thermiques et plus généralement tous les systèmes obéissant aux principes de conservation auxquels il est possible d'étendre les lois de Kirchhoff des tensions et des courants. En d'autres termes, il s'agit des lois de Kirchhoff généralisées. La portée de ce travail de recherche se limitera aux systèmes électroniques mixtes (numériques et/ou analogiques) [LEM95].

Avantages	Temps de simulation	La simplification de la complexité des circuits par des modèles approchés permet de réduire les temps de calcul du simulateur
	Modularité	L'introduction de nouveaux paramètres de caractérisation est facilitée par ajout de nouveaux modules
	Facilité de prise en main	Le concepteur doit seulement approfondir ses connaissances des primitives d'un simulateur
Inconvénients	Convergence	Ces problèmes peuvent être rencontrés lors des retours de saturation ou du rebouclage de certains circuits
	Non-linéarité	Introduite par la tension de seuil des diodes, par exemple
	Paramétrage	Le paramétrage des composants n'est pas possible à moins d'utiliser des solutions alternatives : coefficients constants d'une source contrôlée, spécifiés comme des tensions de contrôle, par programme de prétraitement
	Interopérabilité	L'échange de macro-modèles n'est pas possible entre les simulateurs qui ne sont pas de la même famille à cause des différences syntaxiques
	Abstraction des paramètres physiques	L'abstraction de la structure interne des circuits modélisés ne tient pas compte des paramètres physiques du circuit réel
	Fiabilité	La précision des résultats dépend de la fiabilité des modèles des primitives du simulateur

Tableau 3.2 : Avantages et inconvénients de la macro-modélisation.

Compte tenu du comportement événementiel des circuits d'échantillonnage tel que l'E/B, l'approche de modélisation comportementale basée sur la simulation temporelle par échantillonnage des données est une méthode populaire qui a l'avantage d'être rapide et précise pour des systèmes de petite taille [GIE08], [OPA96]. Dans [GIE08], Gielen et Martens proposent un modèle comportemental générique pour les systèmes d'échantillonnage de données, reposant sur les définitions suivantes :

- spécifications des contraintes : contraintes de non idéalité ;
- des alphabets : entrées, sorties, états, architectures ;
- des fonctions génériques : de sortie, de commutation, de changement d'état ;
- un modèle d'interaction.

Les contraintes de non idéalité concernent la gigue, le bruit et les effets de non idéalité. Les entrées peuvent être représentées en temps continu ou en temps discret, cependant les résultats de simulation sont plus précis lorsqu'elles sont en temps continu. La sortie est représentée par un système à temps discret. Les états sont des éléments de mémorisation pour rendre compte de l'architecture courante du système. La fonction de sortie exprime la sortie en fonction des états internes et des entrées. Les fonctions de changement d'état mettent à jour les variables d'état d'une architecture particulière en vue d'un changement d'architecture. Les fonctions de commutation font le lien entre les variables d'états des différentes architectures, avant et après la commutation et orchestrée par l'horloge suivant une distribution gaussienne stochastique ou utilise un processus de Markov afin d'inclure les effets de la gigue.

Le modèle d'interactions décrivant le comportement dynamique d'un système d'échantillonnage de données est décrit par l'algorithme 3.1.

À partir d'un modèle générique, il est possible de développer des outils de modélisation dédiés afin d'exploiter les caractéristiques spécifiques du système, comme c'est le cas pour le modulateur delta sigma, implémenté dans le logiciel DAISY [FRA02].

1	Entrée : Le signal d'entrée, l'horloge, le bruit
2	Sortie : Vecteur des échantillons de sortie
3	Initialiser l'architecture et les états
4	Initialiser la sortie
5	Pour $k = 1, \dots, \text{nombre d'échantillons} $
6	Mettre à jour le signal de bruit
7	Déterminer la réponse linéaire de l'état suivant
8	Déterminer la correction non-linéaire
9	Déterminer les effets de commutation
10	Déterminer la valeur de sortie en fonction des états et de l'architecture
11	Fin Pour
12	Retourner le Vecteur des échantillons de sortie

Algorithme 3.1 : Modèle d'interactions du modèle comportemental générique d'un système d'échantillonnage de données (Adapté de [GIE08]).

Le nombre limité de topologies et la mise en œuvre de techniques de simplifications du modèle générique permettent aux outils dédiés d'évaluer rapidement le système [GIE08]. Pour l'E/B, il n'existe pas d'outil de modélisation dédié. Ce sera l'objet du chapitre 5.

3.4.1 *Langages de modélisation comportementale*

Le choix de langage d'implémentation du modèle comportemental du système d'échantillonnage doit être fait en considérant son comportement événementiel et doit être flexible, compte tenu des types de signaux à traiter. Deux paradigmes s'offrent au concepteur : les langages de description matérielle et les langages de programmation standards.

3.4.1.1 *Langages de description matérielle*

Hormis les langages propriétaires (HDL-A de Mentor Graphics, MAST d'Analogy, SpectreHDL de Cadence), deux normes de LDMs sont utilisées pour la

description des systèmes mixtes: Verilog-AMS et VHDL-AMS. Ce sont respectivement des extensions des LDMs Verilog (IEEE 1364-1995) et VHDL (IEEE 1076-1993), qui ont été définies afin d'étendre les possibilités de la description matérielle des circuits numériques à la modélisation des systèmes analogiques et mixtes [LEM95], [LAL05].

Nous présenterons dans la section suivante la vue d'ensemble d'un LDM. L'analyse comparative des deux normes, menée par Lallement et al. [LAL05] ayant montré qu'un système modélisé dans un langage peut être modélisé dans l'autre langage, nous choisissons de présenter la structure d'un modèle VHDL-AMS.

3.4.1.1.2 Vue d'ensemble d'un modèle VHDL-AMS

Selon Vachoux [VAC03], un modèle est composé de deux niveaux d'abstraction : une entité (**ENTITY**) et une architecture (**ARCHITECTURE**).

L'entité est une interface qui définit les relations d'entrée/sortie entre le monde extérieur et le modèle au moyen d'objets de type **PORT** (variables statiques, paramètres) et **GENERIC** (variables dynamiques).

L'architecture associe une description des relations entre les entrées et les sorties (comment les entrées seront transformées en sorties) à l'entité et contient les déclarations locales du modèle (types, variables, procédures, fonctions, etc.). Plusieurs architectures peuvent être définies pour une même entité.

La syntaxe du langage VHDL-AMS supporte des concepts empruntés au langage de programmation ADA (types; opérations d'assignation, arithmétiques, relationnels et logiques; instructions séquentielles instructions de sélection, de test et de boucle; fonctions et procédures ; importation de bibliothèques) mais introduit des concepts adaptés à la description des systèmes analogiques et mixtes [VAC03]. Les concepts spécifiques au langage sont synthétisés dans le tableau 3.3 à partir des travaux de Vachoux [VAC03].

Concept	Description
Quantités	Correspondent à des inconnues dans le système d'équations de la description et représentant des fonctions du temps à valeurs réelles. Trois types de quantités sont disponibles : les quantités libres, de potentiel de la branche (la tension du système électrique), et le flux de la branche (le courant du système électrique).
Attributs	Peuvent être définis sur des types, des intervalles, des valeurs, des signaux, des terminaux, des quantités, etc. pour des quantités, il s'agit d'opérations possibles parmi lesquelles figurent les opérations de dérivation, d'intégration et de transformée de Laplace.
Terminaux	Fournissent des points de connexion interne (au niveau architecture) ou externe (au niveau entité) au modèle. Les composants interconnectés communiquent à travers les ports qui peuvent être de nature flux de signal directionnel pour l'interaction entre éléments en temps discret et en temps continu à la fois, ou de nature à satisfaire des relations de lois de conservation entre les quantités.
Signaux	Représente une forme d'onde sous la forme d'une suite discrète temps/valeur.
Processus	Définit une suite d'instructions séquentielles exécutée de manière asynchrone. Le processus est activé par un événement sur l'un des signaux définis dans la liste de sensibilités. L'instruction wait n'est pas admise pour un processus ayant une liste de sensibilité.
Déclaration de configuration	Définit des associations entre les instances de composants d'un modèle et les entités de conception (paire entité/architecture). La spécification de composants identifie l'instance concernée par la configuration tandis que l'association définit des correspondances entre les paramètres génériques et les ports.
Instructions simultanées	Elles peuvent être séquentielles (déclarées dans un bloc procédural) ou concurrentes (déclarées dans un bloc if ... use ou case...use). Elles peuvent contenir des EAD et toutes les déclarations du langage VHDL, à l'exception des signaux (wait) et des déclarations d'attente (signal).
Instructions concurrentes	Il n'est pas possible de détecter et de corriger les discontinuités si l'on ne connaît pas le moment de leur apparition. Par conséquent, l'instruction break notifie l'existence d'une discontinuité dans la solution des équations induites par les instructions simultanées et offre la possibilité d'affecter de nouvelles conditions initiales aux quantités.

Tableau 3.3 : Concepts spécifiques au langage VHDL-AMS.

3.4.1.1.3 Limites des LDMs

L'absence de consensus sur le langage à utiliser comme standard est la plus grande faiblesse des LDMs [LEM95]. En effet, l'inter-portabilité ou l'échange des modèles est impossible, compte tenu des différences syntaxiques de langages disponibles (propriétaires ou normés), à moins de disposer de traducteurs. Bien que des outils de traduction soient disponibles, la diversité des langages disponibles constitue un frein à la démocratisation de ces traducteurs. De plus, toutes les fonctionnalités des langages (standards ou non) n'ayant pas encore été définies [LAL05], l'édition des modèles peut s'avérer une tâche complexe et réservée aux spécialistes du langage, ce qui peut constituer une barrière pour les non-initiés. Par ailleurs, Ginés et al. [GIN02] indiquent que dans le cadre d'un langage normé comme VHDL-AMS, il est difficile de trouver un outil qui supporte complètement la norme, vu la complexité du langage.

3.4.2 Les langages de programmation standards

L'augmentation du niveau d'abstraction de la description des systèmes matériels afin de faire face à la complexité croissante des systèmes a rendu propice l'utilisation du langage de programmation orienté objets Java comme langage de description pour plusieurs raisons [HIL98], [KAI01], [KUH98] :

- la programmation orientée objet est facile à maîtriser ;
- les objets sont fortement typés. La définition de types utilisateur permet de représenter les types spécifiques aux LDMs ;
- la synchronisation (nécessaire en conception mixte) est supportée ;
- les exécutions concurrentes sont supportées grâce aux traitements multitâches ;
- une communauté active de développeurs crée et tient à jour les bibliothèques ;
- les niveaux hiérarchiques de la modélisation ascendante peuvent être implantés avec les niveaux d'abstraction de la programmation objet (interface/implantation de l'interface) ;

- la réutilisabilité du code développé accélère le cycle de développement des applications ;
- la notion d'architecture peut être supportée par le polymorphisme ;
- les accesseurs et les mutateurs sont comparables aux connexions et aux ports d'entrée et de sortie des circuits ;
- la notification des changements d'état des objets peut être utilisée pour la gestion d'événement. Les discontinuités gérées par la fonction **break** peuvent être simulées par les mécanismes d'exception permettant de traiter les erreurs d'exécution ;
- le langage Java offre des bibliothèques pour le développement d'interfaces graphiques ;
- les applications sont portables grâce à la machine virtuelle Java ;
- les niveaux hiérarchiques de la modélisation ascendante peuvent être implantés avec les niveaux d'abstraction de la programmation objet (interface/implantation de l'interface) ;
- la description matérielle peut être effectuée à haut ou à bas niveau d'abstraction ;
- d'un point de vue structurel, les composants peuvent être modélisés comme des objets. Ces objets communiquent entre eux par des appels de fonction.

Ainsi, le langage de programmation orientée objets Java peut être utilisé comme alternative aux LDMs pour modéliser les circuits complexes, compte tenu de sa prédisposition à respecter les principes de décomposition hiérarchique de la modélisation comportementale et de ses capacités à implanter les concepts propres aux LDMs, tels que la synchronisation, la gestion d'événements, la communication à travers les ports, l'abstraction interface/architecture, etc. [HIL98], [KAI01], [KUH98].

3.5 Choix de méthodologie d'élaboration

Nous avons vu dans les sous-sections précédentes que la macro-modélisation permet de réduire les temps de conception des circuits analogiques et mixtes, cependant cette méthode peut toutefois faire face à certaines difficultés : problèmes de convergence, introduction de non-linéarités, par exemple dues aux diodes.

Les langages de description matérielle permettent de rationaliser la décomposition hiérarchique, ce qui permet de réduire les cycles de conception. Cependant, l'absence de consensus sur le standard à utiliser rend difficile l'échange des modèles développés [LEM95]. Ceci constitue un frein à la démocratisation des LDMs la diversité des langages disponibles (propriétaires ou non) car les modèles ne sont pas portables d'un langage à l'autre.

La présentation faite sur les langages de programmation logicielle permet de constater que le langage orienté objets Java peut se substituer aux LDMs pour la modélisation des circuits analogiques et mixtes. Les primitives du langage Java peuvent être utilisées afin d'implémenter les primitives définies dans les LDMs tel que VHDL-AMS. Par ailleurs, le langage offre des bibliothèques afin d'intégrer les descriptions logicielles et matérielle avec une syntaxe uniforme.

Compte tenu des fonctionnalités du langage Java, nous le retenons comme langage de description matérielle (LDM).

Dans ce chapitre, nous avons présenté trois techniques de conception d'échantillonneurs-bloqueurs. La première consiste à modéliser analytiquement la distorsion grâce aux séries de Volterra et de Taylor. Les séries de Taylor sont plus simples à mettre en œuvre cependant les deux méthodes présentées ne prennent pas en compte les effets des capacités parasites du commutateur analogique.

Une autre technique de conception s'appuie sur l'utilisation des simulateurs analogiques et implique des cycles de conception prohibitifs.

Enfin, la simulation comportementale permet de réduire considérablement le cycle de conception. Un modèle comportemental générique développé pour les systèmes d'échantillonnage a été présenté. La spécialisation de ce modèle générique permet de développer des outils de modélisation dédiés. Or, il n'existe pas d'outils dédiés à la conception de l'échantillonneur-bloqueur.

Nous présentons au chapitre suivant un nouveau modèle analytique complet de la distorsion de l'échantillonneur-bloqueur basé sur l'approximation polynomiale. Au chapitre 5, un logiciel original dédié à la conception d'échantillonneurs-bloqueurs écrit en langage Java sera décrit.

Chapitre 4

MODÉLISATION DE LA DISTORSION PAR APPROXIMATION POLYNOMIALE

Au chapitre 2, nous avons présenté les diverses sources de distorsion de l'échantillonneur-bloqueur : l'injection de charges, les variations de la conductance et l'erreur d'échantillonnage dépendante de la tension d'entrée. Au chapitre 3, nous avons présenté les méthodes analytiques d'évaluation de la distorsion. Les méthodes présentées s'avèrent soit complexes ou ne tiennent pas compte des capacités parasites du commutateur.

Le but de ce chapitre est de proposer un nouveau modèle analytique simple et complet de la distorsion des topologies n-MOS (simple et différentielle) et CMOS, sans décalage d'horloge. Le modèle développé tient compte de l'effet de substrat et de la contribution des capacités parasites du commutateur. Toutefois, les effets des capacités parasites sur la distorsion d'injection de charges ne seront pas pris en compte puisqu'ils donnent lieu à des calculs complexes et n'apportent aucune information complémentaire. Cette observation s'appuie sur le fait que la capacité du condensateur de charge soit dominante, comparée aux capacités parasites. Par ailleurs, les expressions analytiques développées pour les circuits n-MOS pouvant aisément s'appliquer aux circuits p-MOS, le développement des expressions de la distorsion du circuit p-MOS seront omis.

4.1 L'injection de charges

À la section 2.8.1, nous avons vu que l'injection de charges consiste en un transfert des charges accumulées dans le canal du commutateur fonctionnant en régime linéaire. Dans ce mode de fonctionnement, la tension drain-source est négligeable et la

tension de sortie suit les variations de la tension d'entrée. À l'instant d'échantillonnage, la portion des charges du canal transférée à la sortie permet d'écrire la tension de sortie en fonction de la tension d'entrée :

$$v_{out}(t) \approx v_{in}(t) + v_{inj}(t) \quad (4.1)$$

4.1.1 Topologie n-MOS

En remplaçant $v_{inj}(t)$ par son expression donnée en (2.59), la sortie de l'échantillonneur n-MOS simple s'exprime par la relation

$$v_{out}(t) \approx v_{in}(t) - \frac{W \cdot L \cdot C_{ox}}{2C_L} (V_{DD} - v_{in}(t) - V_{th,n}) \quad (4.2)$$

dans laquelle

$$V_{th,n} = V_{th0} + K_1 \left(\sqrt{2 \cdot \varphi_f + v_{in}(t)} - \sqrt{2\varphi_f} \right) + K_2 \cdot v_{in}(t) \quad (4.3)$$

Pour une tension d'entrée sinusoïdale $v_{in}(t) = A \sin(\omega t)$, en utilisant les relations

$\sin^2(t) = \frac{1}{2} - \frac{1}{2} \cos(2t)$ et $\sin^3(t) = \frac{3}{4} \sin(t) - \frac{1}{4} \sin(3t)$ et l'approximation

$$\sqrt{1+x(t)} \approx 1 + \frac{1}{2}x(t) - \frac{1}{8}x^2(t) + \frac{1}{16}x^3(t) \quad (4.4)$$

$\sqrt{2\varphi_f + v_{in}(t)}$ peut être approchée par la relation

$$\sqrt{2\varphi_f + v_{in}(t)} \approx \sqrt{2\varphi_f} \left[\left(1 - \frac{1}{16} \left(\frac{A}{2\varphi_f} \right)^2 \right) + \left(\frac{A}{2\varphi_f} + \frac{3}{64} \left(\frac{A}{2\varphi_f} \right)^3 \right) \sin(\omega t) \right. \\ \left. + \frac{1}{16} \left(\frac{A}{2\varphi_f} \right)^2 \cos(2\omega t) + \frac{1}{64} \left(\frac{A}{2\varphi_f} \right)^3 \sin(3\omega t) \right] \quad (4.5)$$

Il est alors possible d'exprimer la tension de sortie en fonction de ses harmoniques :

$$\begin{aligned}
v_{out}(t) \approx & \left[a(V_{th0} - V_{DD} + K_1\sqrt{2\varphi_f}) + aK_1\sqrt{2\varphi_f} \left(1 - \frac{1}{16} \left(\frac{A}{2\varphi_f} \right)^2 \right) \right] \\
& + \left[1 + a(1 + K_2) + aK_1\sqrt{2\varphi_f} \left(\frac{A}{2\varphi_f} \right) \left(\frac{3}{64} \left(\frac{A}{2\varphi_f} \right)^2 + \frac{1}{2} \right) \right] \sin(\omega t) \\
& + aK_1\sqrt{2\varphi_f} \frac{1}{16} \left(\frac{A}{2\varphi_f} \right)^2 \cos(2\omega t) - \frac{1}{64} aK_1\sqrt{2\varphi_f} \left(\frac{A}{2\varphi_f} \right)^3 \sin(3\omega t)
\end{aligned} \quad (4.6)$$

où

$$a = \frac{W \cdot L \cdot C_{ox}}{2C_L} \quad (4.7)$$

Les expressions des distorsions harmoniques de second et de troisième ordre sont alors obtenues en fonction des paramètres du transistor :

$$HD2 \approx aK_1\sqrt{2\varphi_f} \frac{1}{16} \left(\frac{A}{2\varphi_f} \right)^2 \quad (4.8)$$

et

$$HD3 \approx aK_1\sqrt{2\varphi_f} \frac{1}{64} \left(\frac{A}{2\varphi_f} \right)^3 \quad (4.9)$$

L'expression de la gamme dynamique qui s'exprime relativement à l'harmonique d'ordre 2

$$GD = 20 \log \left(\frac{1}{A} \frac{16\sqrt{2\varphi_f}}{aK_1} \right) [dB] \quad (4.10)$$

Concrètement, la distorsion harmonique introduite par l'injection de charges est proportionnelle à l'aire du transistor (WL) et à l'amplitude du signal (A) mais inversement proportionnelle à la capacité du condensateur de charge (C_L). Puisqu'un condensateur de charge de plus grande capacité impliquerait l'augmentation de la

surface du circuit intégré, pour diminuer cette composante de distorsion, une première stratégie consiste à réduire la taille du transistor. Pour une longueur de canal fixée, cela reviendrait à réduire W . Cependant, dans la technologie CMOS 0.18 μm , la plage de valeurs de la largeur de canal est limitée en fonction du modèle sélectionné. La meilleure stratégie est de réduire l'amplitude du signal (A).

On peut démontrer que l'injection de charges de la topologie différentielle produit une harmonique d'ordre 3 uniquement, dont l'expression est égale à celle de la relation (4.9). Le calcul est donc omis, par soucis de concision.

4.1.2 Topologie CMOS

Le développement du modèle de distorsion du circuit CMOS est similaire au développement présenté dans la section précédente puisque

$$V_{th,c} = V_{th,n} - |V_{th,p}| = V'_{th0} + K'_1 \left(\sqrt{2 \cdot \varphi_f + V_{in}} - \sqrt{2\varphi_f} \right) + K'_2 \cdot V_{in} \quad (4.11)$$

où

$$V'_{th0} = V_{th0,n} - m_{n/p} V_{th0,p} \quad (4.12)$$

$$K'_1 = K_{1,n} - m_{n/p} K_{1,p} \quad (4.13)$$

$$K'_2 = K_{2,n} - m_{n/p} K_{2,p} \quad (4.14)$$

La tension de sortie en fonction de l'erreur d'injection de charges s'écrit

$$v_{out}(t) = v_{in}(t) - a \left[V_{DD} - (m_{n/p} - 1) V_{in} - V_{th,c} \right] \quad (4.15)$$

où a est définie en (4.7). L'approximation de la sortie en fonction de ses harmoniques

$$\begin{aligned} v_{out}(t) \approx & \left[1 + a(m_{n/p} - 1) \right] \sin(\omega t) + aK'_1 \sqrt{2\varphi_f} \frac{1}{16} \left(\frac{A}{2\varphi_f} \right)^2 \cos(2\omega t) \\ & - \frac{1}{4} aK'_1 \sqrt{2\varphi_f} \left(\frac{A}{2\varphi_f} \right)^3 \sin(3\omega t) \end{aligned} \quad (4.16)$$

donne des distorsions harmoniques de second et de troisième ordre identiques à celles obtenues en (4.8) et (4.9) si l'on considère des cas pratiques d'implantation de l'échantillonneur CMOS où $a(m_{n/p}-1) = 1$. La stratégie de réduction de la distorsion proposée dans la section précédente s'applique aussi dans le cas du circuit CMOS.

4.2 Distorsion de l'erreur d'échantillonnage

L'analyse de la distorsion due à l'erreur d'échantillonnage présentée ici s'appuie sur les résultats de Hayasaka et Kobayashi [HAY04].

4.2.1 Topologie n-MOS simple

Nous utilisons dans cette section l'impact de la pente de l'horloge dans le processus d'échantillonnage à partir de la figure 4.1.

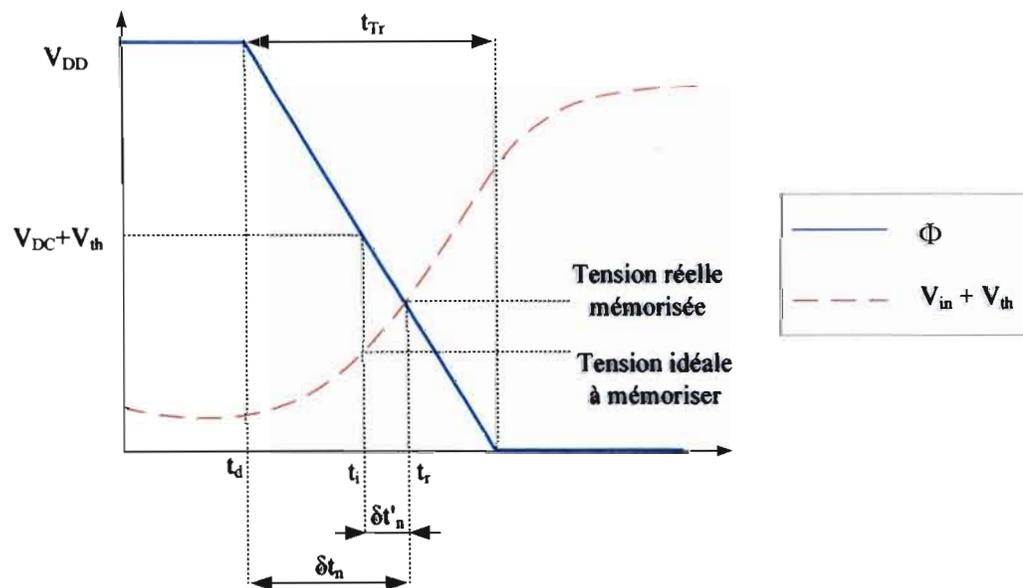


Figure 4.1 : Instant d'échantillonnage de l'E/B n-MOS dépendant de la pente de l'horloge (Adapté de HAY04).

Lorsque le commutateur est fermé, la tension de sortie suit les variations de la tension d'entrée. Aussitôt que la tension grille-source devient inférieure à la tension de seuil, le commutateur s'ouvre et l'échantillon est prélevé. La réalisation pratique d'une horloge avec des transitions instantanées étant impossible, celle-ci possède

inévitablement une pente finie. En raison de cette pente, l'ouverture réelle du commutateur s'effectue après un délai, δt_n (le délai de propagation du commutateur n'est pas considéré).

En phase descendante, l'équation de la pente de l'horloge s'exprime par la relation,

$$V_{clk}(t) = -(V_{DD}/t_{Tr}) \cdot (t - t_d) + V_{DD} \quad (4.17)$$

où t_{Tr} est le temps de transition de l'horloge et t_d l'instant où débute la transition. Compte tenu de la pente de l'horloge, le commutateur s'ouvrira à l'instant réel $t_r = t_d + \delta t_n$. Au moment de l'ouverture, on a donc la relation suivante entre l'entrée et l'horloge :

$$V_{clk}(t_d + \delta t_n) = V_{in}(t_d + \delta t_n) + V_{th,n} \quad (4.18)$$

Par l'équation (4.17) il est possible d'écrire

$$\delta t_n = \frac{t_{Tr}}{V_{DD}} (V_{DD} - V_{in}(t_d + \delta t_n) - V_{th,n}) \quad (4.19)$$

En supposant la tension d'entrée sinusoïdale,

$$V_{in}(t_d + \delta t_n) = A \sin(\omega t_r) + V_{DC} \quad (4.20)$$

Étant donné que

$$t_r = t_i + \delta t'_n \quad (4.21)$$

où

$$t_i = t_d + \frac{t_{Tr}}{V_{DD}} (V_{DD} - V_{DC} - V_{th,n}) \quad (4.22)$$

et

$$\delta t'_n = -\frac{t_{Tr}A}{V_{DD}} \sin(\omega \cdot t_r) \quad (4.23)$$

nous obtenons l'équation de la sortie dont la phase est modulée par l'entrée

$$v_{out}(t) \approx A \sin(\omega t + \varphi(t)) + V_{DC} \quad (4.24)$$

où

$$\varphi(t) = -\frac{A \cdot \omega \cdot t_{Tr}}{V_{DD}} \sin(\omega t) \quad (4.25)$$

Lorsque $A \cdot \omega \cdot t_{Tr}/V_{DD} \ll 1$, $|\varphi(t)| \ll 1$, alors la décomposition en séries de Taylor permet d'obtenir

$$v_{out}(t) \approx A \left[\sin(\omega t) \left(1 - \frac{\varphi(t)^2}{2} \right) + \cos(\omega t) \varphi(t) \right] + V_{DC} \quad (4.26)$$

En remplaçant $\varphi(t)$ par la relation (4.25) et en effectuant des simplifications,

$$v_{out}(t) \approx A \sin(\omega t) - \frac{A^2 \omega t_{Tr}}{2V_{DD}} \sin(2\omega t) + \frac{3A^2 \omega^2 t_{Tr}^2}{8V_{DD}^2} \sin(\omega t) + V_{DC} \quad (4.27)$$

Étant donné que

$$\frac{A^2 \omega t_{Tr}}{2V_{DD}} > \frac{3A^2 \omega^2 t_{Tr}^2}{8V_{DD}^2} \quad (4.28)$$

alors,

$$v_{out}(t) \approx A \sin(\omega t) - \frac{A^2 \omega t_{Tr}}{2V_{DD}} \sin(2\omega t) \quad (4.29)$$

d'où l'expression de la gamme dynamique

$$GD = 20 \log_{10} \frac{2V_{DD}}{A_{c-c} \cdot f_{sig} \cdot t_{Tr}} - 4 [dB] \quad (4.30)$$

où A_{c-c} est l'amplitude crête-à-crête du signal d'entrée. La relation (4.30) indique que pour augmenter la gamme dynamique, il est nécessaire de réduire l'amplitude crête à crête, la fréquence d'entrée ou la durée de transition de l'horloge.

En observant les courbes des figure 4.2 à figure 4.5, tracées pour un fréquence d'horloge de 12 MHz, nous remarquons que si l'amplitude maximale est réduite de moitié, les valeurs minimales des fréquences (du signal d'entrée, de l'horloge et de coupure à -3 dB) et de la capacité parasite totale sont plus élevées.

Une observation plus importante est de remarquer que la constante de temps est une fonction linéaire du signal d'entrée pour de faibles valeurs de cette dernière. L'incidence de cette linéarisation est une réduction de la distorsion qu'elle engendre. La réduction de l'amplitude du signal est la meilleure alternative pour réduire le niveau de distorsion.

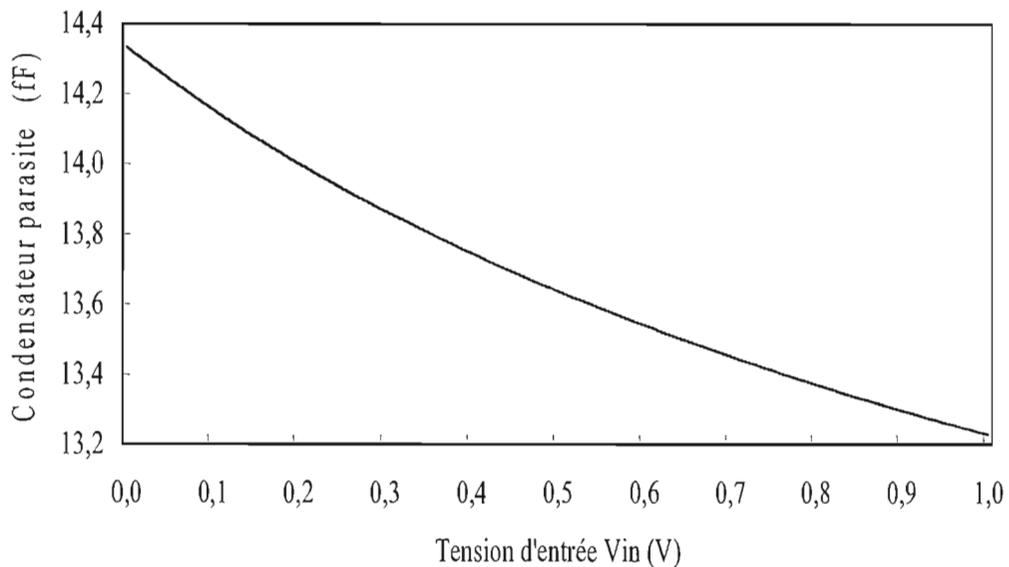


Figure 4.2 : Variations de la capacité parasite du n-MOS. $n = 10$, $C_L = 5$ pF, $V_{th0} = 0.4651$ V.

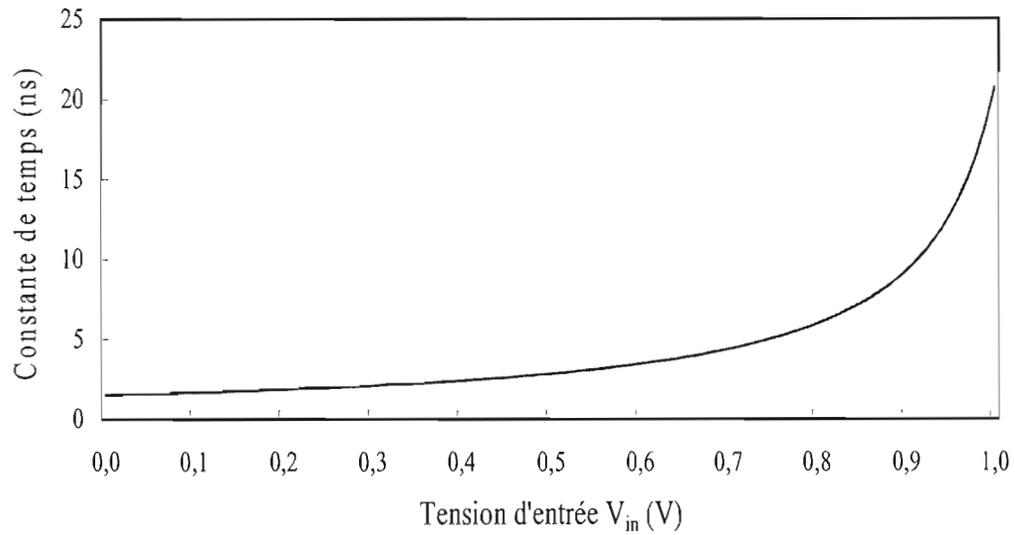


Figure 4.3 : Variations de la constante de temps du n-MOS. $n = 10$, $C_L = 5$ pF, $V_{th0} = 0.4651$ V.

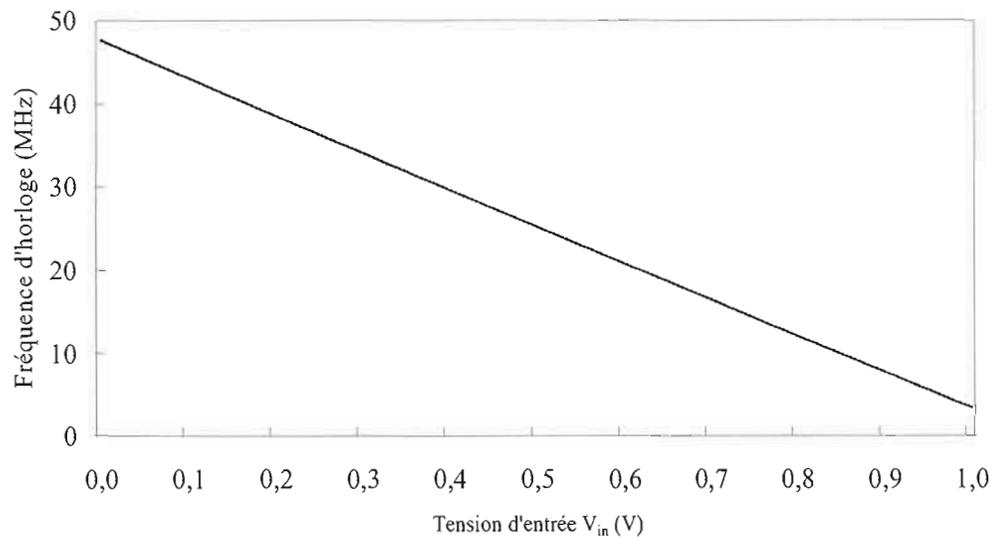


Figure 4.4 : Variations de la fréquence maximale d'horloge. $n = 10$, $C_L = 5$ pF, $V_{th0} = 0.4651$ V.

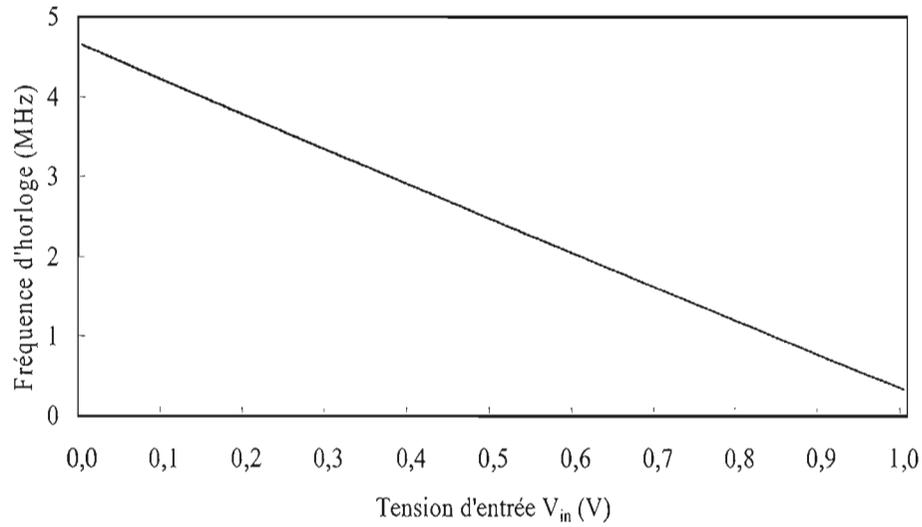


Figure 4.5 : Variations de la fréquence maximale d'entrée. $n = 10$, $C_L = 5$ pF, $V_{th0} = 0.4651$ V.

4.2.2 Topologie n-MOS différentielle

Le circuit est constitué de deux canaux n-MOS : un canal p et un canal m. les canaux reçoivent respectivement les signaux d'entrée

$$v_{in,p}(t) = \frac{A}{2} \sin(\omega t) + V_{DC} \quad (4.31)$$

$$v_{in,m}(t) = -\frac{A}{2} \sin(\omega t) + V_{DC} \quad (4.32)$$

où V_{DC} représente la tension de décalage. Les tensions de sorties sont les suivantes

$$v_{out,p}(t) \approx \frac{A}{2} \sin\left(\omega t + \frac{\phi(t)}{2}\right) + V_{DC} \quad (4.33)$$

$$v_{out,m}(t) \approx -\frac{A}{2} \sin\left(\omega t - \frac{\phi(t)}{2}\right) + V_{DC} \quad (4.34)$$

La différence de ces deux équations donne la tension de sortie différentielle

$$v_{out}(t) = v_{out,p}(t) - v_{out,m}(t) \quad (4.35)$$

Par analogie avec le circuit n-MOS simple, on peut démontrer que la tension de sortie est composée d'une somme d'harmoniques impaires

$$v_{out}(t) \approx A \sin(\omega t) + \frac{A^3 \omega^2 t_{TR}^2}{32 V_{DD}^2} \sin(3\omega t) \quad (4.36)$$

Cette expression indique que la composante continue est supprimée. Par ailleurs, l'harmonique d'ordre 2 n'apparaît pas dans la relation. La gamme dynamique s'exprime alors en fonction de l'harmonique d'ordre 3

$$GD = 2 \left[20 \log_{10} \frac{2V_{DD}}{A \cdot \omega \cdot t_{TR}} \right] + 18 \text{ [dB]} \quad (4.37)$$

L'expression de la gamme dynamique dépend du facteur $V_{DD}/A \cdot f \cdot t_{TR}$. De manière similaire au circuit n-MOS simple, les stratégies proposées pour augmenter la gamme dynamique sont valables pour le circuit n-MOS différentiel.

4.2.3 Topologie CMOS

L'E/B CMOS (cf. figure 2.4-c) est commandé par des horloges en opposition de phase. Les échantillons sont prélevés lorsque les transistors sont bloqués simultanément. En raison de la pente des horloges et des caractéristiques du transistor p-MOS, le blocage effectif à l'instant (t_r) de la porte de transmission se produit après l'instant idéal d'échantillonnage (t_i). Ce mécanisme est représenté à la figure 4.6.

En suivant un développement similaire à celui du circuit n-MOS, nous obtenons la sortie échantillonnée

$$v_{out}(t) \approx A \sin(\omega t + |\phi(t)|) + V_{DC} \quad (4.38)$$

Les identités trigonométriques et le développement en série de Taylor des fonctions $\sin(x)$ et $\cos(x)$ au premier ordre donnent

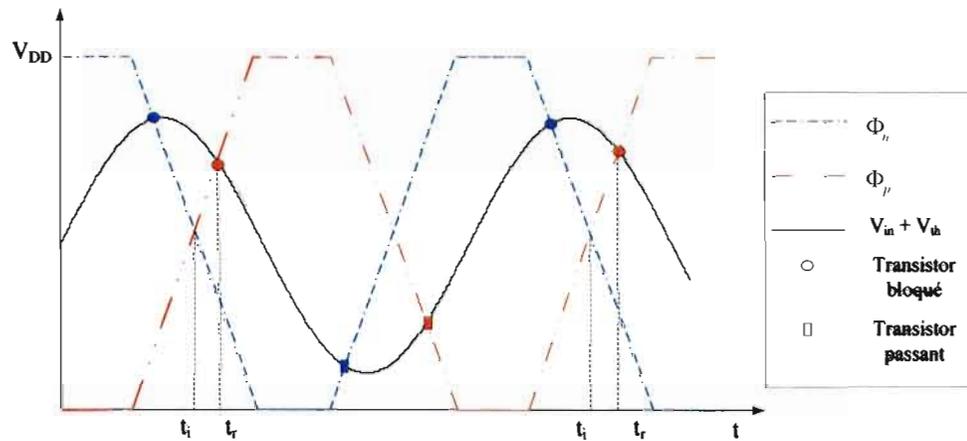


Figure 4.6 : Instants d'échantillonnage du circuit CMOS (Adapté de [HAY04]).

$$v_{out}(t) = A \left(1 - \frac{A^3 \omega^2 t_{Tr}^2}{8V_{DD}^2} \right) \sin(\omega t) + \frac{A^3 \omega^2 t_{Tr}^2}{8V_{DD}^2} \sin(3\omega t) + \frac{A^2 \omega t_{Tr}}{V_{DD}} \cos(\omega t) |\sin(\omega t)| + V_{DC} \quad (4.39)$$

La valeur absolue de $\sin(\omega t)$ peut être approchée par la relation

$$|\sin(\omega t)| = \frac{2}{\pi} \left[1 - 2 \sum_{n=1}^{\infty} \frac{\cos(2 \cdot n \cdot \omega \cdot t)}{4n^2 - 1} \right] \quad (4.40)$$

Cette relation permet d'exprimer la tension de sortie en fonction de ses composantes de distorsion harmonique

$$v_{out}(t) \approx A \sin(\omega t) - \frac{2 \cdot A^2 \cdot \omega \cdot t_{Tr}}{3 \cdot \pi \cdot V_{DD}} \cos(3\omega t) + V_{DC} \quad (4.41)$$

La gamme dynamique s'écrit

$$GD = 20 \log_{10} \frac{2 \cdot V_{DD}}{A \cdot \omega \cdot t_{Tr}} + 7.44 \text{ [dB]} \quad (4.42)$$

La porte de transmission produit des harmoniques impaires. Pour augmenter la gamme dynamique, le concepteur peut soit réduire l'amplitude du signal d'entrée, soit la

fréquence d'horloge ou la pente d'horloge. Toutefois, une trop forte diminution de la pente d'horloge invaliderait les suppositions faites sur la distribution équiprobable de charges transférées lors de l'injection de charge.

En contrepartie, comme nous le verrons dans la section suivante, la diminution de la fréquence contribuerait à la diminution de la distorsion due aux variations de la constante de temps. Par la même occasion, la diminution de la fréquence est aussi favorable à la réduction de la distorsion harmonique introduite par l'injection de charges (cf. § 4.1).

4.3 Distorsion de la constante de temps

Le modèle de distorsion présenté dans cette section est développé à partir des travaux de Halonen et Waltari [HAL99] énoncés à la section 3.1.2.2. Les expressions du modèle de distorsion de la constante de temps seront d'abord développées en considérant une conductance de canal (g_{ds}) et un condensateur de charge total (C_{Tot}) génériques. Les relations étant valides pour toutes les topologies d'échantillonneur, nous présenterons seulement un exemple d'application avec l'échantillonneur n-MOS.

La fonction de transfert du circuit RC formée par la résistance du commutateur et le condensateur de charge total (C_{Tot}) peut être exprimée dans le domaine de Laplace par la relation

$$\frac{v_{out}(s)}{v_{in}(s)} = \frac{1}{1 + s\tau} \quad (4.43)$$

Dans le domaine complexe, la fonction de transfert s'écrit

$$\frac{v_{out}(j\omega)}{v_{in}(j\omega)} = \frac{1}{1 + j\omega\tau} \quad (4.44)$$

Le module de la fonction de transfert vaut alors

$$\left| \frac{v_{out}(j\omega)}{v_{in}(j\omega)} \right| = \frac{1}{\sqrt{1 + (\omega\tau)^2}} \quad (4.45)$$

d'où l'expression de la tension de sortie

$$|v_{out}(j\omega)| = \frac{1}{\sqrt{1+(\omega\tau)^2}} |v_{in}(j\omega)| \quad (4.46)$$

Lorsque la fréquence est très faible ($f \leq f_{3dB}$), l'amplitude de la tension de sortie peut être approchée au premier ordre par la relation

$$|v_{out}(j\omega)| = \left[1 - \frac{1}{2}(\omega\tau)^2 \right] |v_{in}(j\omega)| \quad (4.47)$$

τ étant une fonction non linéaire de la tension de sortie qui est voisine de la tension d'entrée, l'approximation polynomiale de la constante de temps s'écrit alors [HAL99] :

$$\tau = \tau_0 + \tau_1 V_{in} + \tau_2 V_{in}^2 + \tau_3 V_{in}^3 + \dots \quad (4.48)$$

où τ_0 , τ_1 , τ_2 et τ_3 sont à déterminer. En se limitant au premier ordre, la substitution de l'équation (4.48) dans l'équation (4.47) donne :

$$|v_{out}(j\omega)| = \left(1 - \frac{1}{2}\omega^2\tau_0^2 \right) \cdot |v_{in}(j\omega)| - \omega^2\tau_0\tau_1 \cdot |v_{in}(j\omega)|^2 - \frac{1}{2}\omega^2\tau_1^2 \cdot |v_{in}(j\omega)|^3 \quad (4.49)$$

L'équation peut être réécrite :

$$|v_{out}(j\omega)| = C_1 \cdot |v_{in}(j\omega)| + C_2 \cdot |v_{in}(j\omega)|^2 + C_3 \cdot |v_{in}(j\omega)|^3 \quad (4.50)$$

où

$$C_1 = \left(1 - \frac{1}{2}\omega^2\tau_0^2 \right) \quad (4.51)$$

$$C_2 = -\omega^2\tau_0\tau_1 \quad (4.52)$$

$$C_3 = -\frac{1}{2}\omega^2\tau_1^2 \quad (4.53)$$

Pour une tension d'entrée sinusoïdale d'amplitude A, on obtient les distorsions de second et de troisième ordre

$$HD_2 = \frac{1}{2} A \left| \frac{C_2}{C_1} \right| \approx \frac{A}{2} \left(\frac{\tau_1}{\tau_0} \right) \quad (4.54)$$

$$HD_3 = \frac{1}{4} A^2 \left| \frac{C_3}{C_1} \right| \approx \frac{A^2}{4} \left(\frac{\tau_1}{\tau_0} \right)^2 \quad (4.55)$$

Ces équations nous révèlent qu'il est possible d'exprimer la distorsion due à la constante de temps en fonction des paramètres physiques du commutateur. Par ailleurs, ces relations indiquent que la distorsion est indépendante de la fréquence d'entrée.

4.3.1 Linéarisation de la constante de temps : détermination de τ_0 et τ_1

L'approximation polynomiale d'une fonction quelconque $f(x)$, dérivable et continue sur \mathbb{R} , au voisinage de x_0 est donnée par :

$$f(x) = f(x_0) + f'(x_0)(x-x_0) + \dots + f^{(n)}(x_0) \frac{(x-x_0)^n}{n!}, n \geq 0 \quad (4.56)$$

Pour trouver la valeur des coefficients τ_0 et τ_1 , l'approximation polynomiale du premier ordre de la constante de temps doit être déterminée. L'expansion en série de Taylor de l'équation (4.56) s'écrit alors :

$$f(x) = f(x_0) + f'(x_0)(x-x_0) \quad (4.57)$$

Dans l'équation (4.57), $f(x)$ s'identifie à $\tau(V_{in})$

$$\tau(V_{in}) = \frac{C_{Tot}(V_{in})}{g_{ds}(V_{in})} \quad (4.58)$$

$f'(x)$ s'identifie alors à $\tau'(V_{in})$ et s'exprime comme la dérivée d'un quotient

$$\tau'(V_{in}) = \frac{C'_{Tot}(V_{in}) \cdot g_{ds}(V_{in}) - g'_{ds}(V_{in}) \cdot C_{Tot}(V_{in})}{[g_{ds}(V_{in})]^2} \quad (4.59)$$

En utilisant l'équation (4.57), la linéarisation de la constante de temps s'écrit

$$\tau(V_{in}) = \tau_0 + \tau_1 V_{in} \quad (4.60)$$

où

$$\tau_o = \frac{C_{Tot0}}{g_{ds0}} \quad (4.61)$$

et

$$\tau_1 = \frac{C'_{Tot0} \cdot g_{ds0} - g'_{ds,n0} \cdot C_{Tot0}}{g_{ds0}^2} \quad (4.62)$$

4.3.2 Exemple d'application à l'échantillonneur n-MOS

En remplaçant PB, PBSW, PBSWG, CF, MJ, MJSW et MJSWG de l'équation (2.48) par leurs valeurs par défaut définies dans BSIM3, nous obtenons les expressions du condensateur de charge total

$$\begin{aligned} C_{Tot}(V_{in}) = & C_L + \frac{1}{2}W \cdot L \cdot C_{ox} + (W - 2 \cdot DWC) \cdot CGS0 \\ & + \left(K_2 + \frac{K_1}{2(2\phi_f + V_{in})^{1/2}} \right) \times \frac{1}{2}W \cdot L \cdot C_{ox} + \frac{CJ}{(1+V_{in})^{1/2}} AS \\ & + \frac{CJSW}{(1+V_{in})^{1/3}} (PS - W_{eff,CV}) + \frac{CJSWG}{(1+V_{in})^{1/3}} W_{eff,CV} \end{aligned} \quad (4.63)$$

L'expression de la conductance en fonction de l'entrée est donné par la relation

$$g_{ds,n}(V_{in}) = \mu_n C_{ox} \frac{W}{L} \left(V_{DD} - V_{in} - \left(V_{TH0} + K_1 \left(\sqrt{2\phi_f + V_{in}} - \sqrt{2\phi_f} \right) + K_2 \cdot V_{in} \right) \right) \quad (4.64)$$

Nous pouvons alors exprimer l'expression de leur dérivée par rapport à la tension d'entrée :

$$\begin{aligned} C'_{Tot}(V_{in}) = & -\frac{1}{8}W \cdot L \cdot C_{ox} K_1 (2\phi_f + V_{in})^{-3/2} - \frac{1}{2}CJ \cdot AS (1+V_{in})^{-3/2} \\ & - \frac{1}{3}CJSW (PS - W_{eff,CV}) (1+V_{in})^{-4/3} - \frac{1}{3}CJSWG \cdot W_{eff,CV} (1+V_{in})^{-4/3} \end{aligned} \quad (4.65)$$

et

$$g'_{ds,n}(V_{in}) = \mu_n C_{ox} \frac{W}{L} \left(-1 - \frac{K_1}{2} (2\phi_f + V_{in})^{-1/2} - K_2 \right) \quad (4.66)$$

Lorsque V_{in} tend vers 0 V,

$$\begin{aligned}
 C_{Tot0} &= C_L + \frac{1}{2}W \cdot L \cdot C_{ox} + (W - 2 \cdot DWC) \cdot CGS0 \\
 &+ \left(K_2 + \frac{K_1}{2(2\phi_f)^{1/2}} \right) \times \frac{1}{2}W \cdot L \cdot C_{ox} + CJ \cdot AS \\
 &+ CJSW(PS - W_{eff,CV}) + CJSWG \cdot W_{eff,CV}
 \end{aligned} \tag{4.67}$$

$$g_{ds,n0} = \mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{TH0}) \tag{4.68}$$

$$\begin{aligned}
 C'_{Tot0} &= -\frac{W \cdot L \cdot C_{ox} K_1 (2\phi_f)^{-3/2}}{8} - \frac{CJ \cdot AS}{2} - \frac{CJSW(PS - W_{eff,CV})}{3} \\
 &- \frac{CJSWG \cdot W_{eff,CV}}{3}
 \end{aligned} \tag{4.69}$$

$$g'_{ds,n0} = \mu_n C_{ox} \frac{W}{L} \left(-1 - K_1 - \frac{1}{2}(2\phi_f)^{-1/2} - K_2 \right) \tag{4.70}$$

Les valeurs des coefficients de linéarisation ont été déterminées pour une fréquence de 1 MHz, dans le procédé 0.18 μ m où $\mu C_{ox} = 350.2229 \text{ mA/V}^2$, $(W/L) = 0.4\mu\text{m}/0.18\mu\text{m}$:

$$\tau_0 = 4.82 \text{ s} \tag{4.71}$$

$$\tau_1 = 4.64 \text{ s} \tag{4.72}$$

Pour de faibles variations de la tension d'entrée de 1 V, les relations (4.51) à (4.55) donnent les niveaux de distorsion harmonique

$$HD_2 = -34.00 \text{ dB} \tag{4.73}$$

$$HD_3 = -38.16 \text{ dB} \tag{4.74}$$

Nous avons présenté un nouveau modèle analytique complet de la distorsion de l'échantillonneur-bloqueur en tenant compte de l'effet de substrat et des capacités parasites. Toutefois, les capacités parasites du commutateur n'ont pas été pris en compte

pour le l'injection de charges puisqu'ils sont négligeables pour de fortes valeurs du condensateur de charge.

Chapitre 5

CONCEPTION PARAMÉTRIQUE DE L'ÉCHANTILLONNEUR-BLOQUEUR ET RÉSULTATS

Dans le cadre de ce projet, nous avons développé un LOGiciel paramétrique Interactif de Conception d'Échantillonneurs-bloqueurs (LOICE), dont les interfaces sont présentées dans l'appendice D.

Nous commencerons ce chapitre par la présentation de l'implantation logicielle du modèle comportemental de l'échantillonneur-bloqueur en fonction de ses sources de distorsion. Ensuite, le logiciel d'aide à la conception sera évalué avec des exemples d'application dans lesquels les résultats d'analyse de simulation comportementale obtenus avec LOICE seront comparés aux résultats obtenus avec le nouveau modèle analytique proposé au chapitre 4.

5.1 Implantation logicielle

La procédure de conception sur laquelle le LOICE est implanté est décomposable en deux phases. La première phase met en œuvre la méthodologie de conception traditionnelle de dimensionnement après sélection de la topologie afin de déterminer les valeurs des paramètres du commutateur : capacités parasites, largeur minimale du canal, fréquences du signal d'entrée et de coupure. Dans l'implémentation actuelle du logiciel, la sélection est faite interactivement par le concepteur.

La seconde phase de la procédure de conception s'appuie sur une spécialisation du modèle comportemental générique de Gielen et Martens [GIE08] et des procédures de caractérisation élaborées par Fayomi [FAY04] afin d'évaluer la contribution des sources de distorsion harmonique de l'E/B.

5.1.1 Dimensionnement du commutateur

La procédure de dimensionnement d'un commutateur – les commutateurs sont présentés à la figure 2.4 – illustrée à la figure 5.1 met en œuvre la technique de modélisation basée sur la connaissance où les objectifs de conception sont de réduire la taille du circuit et de déterminer le pire cas de fonctionnement. Le premier objectif de conception vise à réduire l'encombrement tandis que le second permet d'obtenir une évaluation optimiste de la performance.

La capacité parasite maximum $C_{p,max}$ induite par le commutateur est d'abord déterminé. Étant donné que les variations de $C_{p,max}$ sont de pente négative, en fonction des variations de la tension d'entrée, la valeur maximale est obtenue lorsque la tension d'entrée est de 0 V. Cette capacité parasite s'ajoute à celle du condensateur de charge C_L et donne un condensateur de charge total C_{Tot} à la sortie du commutateur. Avec la fréquence d'horloge et C_{Tot} , il est alors possible de déterminer la conductance minimale par évaluation numérique de l'équation (2.55).

Les relations (2.55) et (2.3) permettent d'exprimer la largeur du canal en fonction de la fréquence d'horloge, de la résolution et des paramètres physiques de la conductance. Compte tenu des variations de la conductance, le pire cas de fonctionnement du circuit RC formé par l'échantillonneur est rencontré lorsque la résistance est maximale. Dans ce cas, la largeur minimale de canal est obtenue quand la tension d'entrée est nulle :

$$W_{min} = L \frac{2 \cdot \ln(2) \cdot (n+1) \cdot C_{Tot} \cdot f_{clk}}{\mu_n C_{ox} (V_{DD} - V_{th})} \quad (5.1)$$

La valeur de la fréquence de coupure à -3 dB est déterminée à partir de la conductance minimale et de la capacité parasite totale calculées précédemment. La fréquence maximale d'entrée est calculée en fonction de la résolution voulue. Ces deux fréquences sont minimales puisqu'elles sont proportionnelles à la conductance qui a été dimensionnée pour sa valeur minimale.

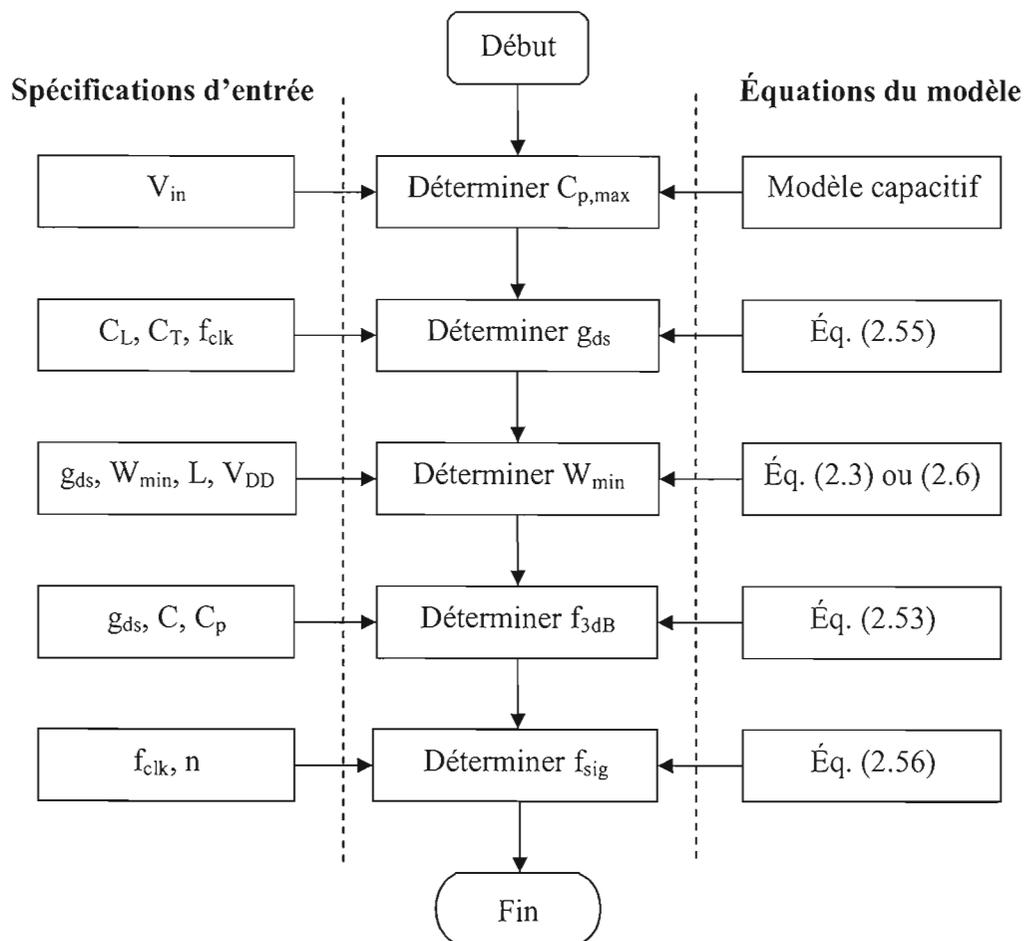


Figure 5.1 : Dimensionnement du commutateur après sélection de la topologie.

La largeur minimale de canal et la capacité parasite obtenues sont ensuite utilisées afin de produire les courbes de variation de la gamme dynamique et de densité spectrale de l'injection de charge et de l'erreur d'échantillonnage.

5.2 Modélisation comportementale de l'échantillonneur-bloqueur

Dans les sections qui suivent, nous présentons le modèle comportementale de l'E/B en fonction de ses sources de distorsion. Toutefois, la distorsion due aux variations de la constante de temps a été intégrée au logiciel à partir de son expression analytique développée à la section 4.3.

5.2.1 Distorsion d'injection de charges

Le modèle comportemental de l'E/B en fonction de la distorsion d'injection de charges développé dans cette section concerne uniquement l'échantillonneur n-MOS simple (figure 2.4a) puisque l'injection de charges du circuit différentiel est le double de celle du circuit simple.

La spécialisation du modèle comportemental générique présenté à la section 3.4 pour la caractérisation de l'injection de charges est décrite par l'algorithme 5.1. La réponse linéaire du circuit est calculée à la ligne 7. La correction non-linéaire due à l'injection de charges est calculée à la ligne 8. La ligne 9 est une variable d'état tandis que la ligne 10 fait appel à une fonction de sortie pour la mise à jour des échantillons de sortie. Chaque échantillon prélevé est obtenu en calculant la différence entre le signal de sortie sinusoïdal idéal et l'erreur d'injection de charges.

```

1  Entrée : N : nombre d'échantillons à prélever
2           dt : période de l'horloge
3           A, VDC, ω : paramètres du signal d'entrée
4           CTot : condensateur de charge total
5  Sortie : Échantillon
6  Pour j = 1, ..., N
7     vin ← A sin(ω · j · Dt) + VDC
8     Vinj ← -  $\frac{W \cdot L \cdot C_{ox} \cdot (V_{DD} - V_{in} - V_{th}(V_{in}))}{2C_{Tot}}$ 
9     Échantillon(j) ← vin - Vinj
10    j ← j + 1
11  Fin Pour
12  Retourner Échantillon

```

Algorithme 5.1: Modèle d'interactions de l'erreur d'injection de charges.

Étant donné que la distorsion d'injection de charges est indépendante de la pente de l'horloge, N échantillons sont prélevés par échantillonnage cohérent. Le temps d'exécution de l'algorithme est d'ordre linéaire $O(N)$. Le traitement subséquent des échantillons prélevés par la Transformée de Fourier Rapide (TFR) donne la

représentation fréquentielle en $O(N \log N)$. La complexité du traitement complet de l'évaluation de la distorsion d'injection de charges s'exécute en $O(N \log N)$.

5.2.2 Distorsion d'erreur d'échantillonnage

L'E/B forme un filtre RC passe-bas dans lequel R et C sont des fonctions non linéaires de la tension d'entrée. La résolution de l'équation différentielle régissant ce système étant une tâche non triviale, nous exprimons la solution de l'équation différentielle en supposant que le condensateur de charge total et la conductance ont des valeurs fixes. Cette supposition est valable si l'on considère que le système est linéaire.

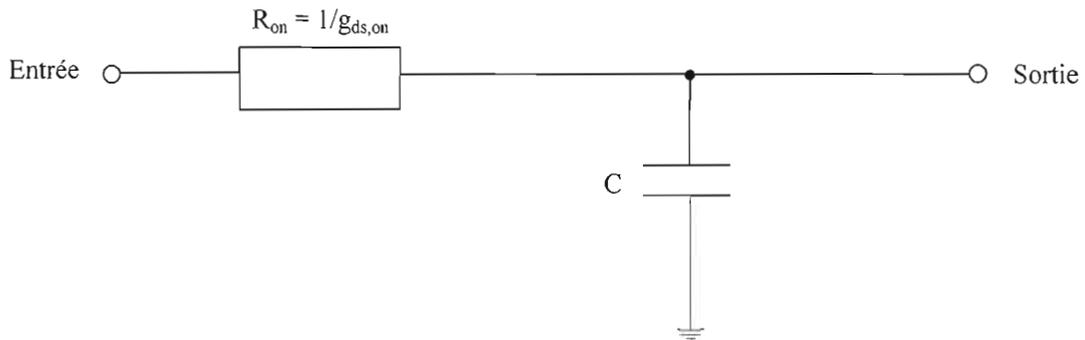


Figure 5.2 : Filtre RC passe-bas modélisant le circuit d'échantillonnage.

En mode d'échantillonnage, lorsqu'une sinusoïde est injectée à l'entrée, on peut démontrer que la sortie du filtre RC illustré à la figure 5.2 s'exprime comme une fonction de la pulsation, de la constante de temps et de ses conditions initiales :

$$u_c(t) = (u_0 - B \sin(\omega t_0 + \Phi) - V_{DC}) \times e^{-\frac{t-t_0}{\tau}} + B \sin(\omega t + \varphi) + V_{DC} \quad (5.2)$$

$$B = \frac{A}{\sqrt{1 + (\omega\tau)^2}} \quad (5.3)$$

$$\varphi = \arctan(\omega\tau) \quad (5.4)$$

$$\tau = \frac{C}{g_{ds,on}} \quad (5.5)$$

Comme le montre la figure 5.3, les conditions initiales u_0 et t_0 sont déterminées respectivement par la tension de l'instant de blocage précédent la phase d'échantillonnage en cours et par l'instant où le commutateur sort de sa phase de blocage. Les échantillons sont prélevés au moment du blocage du commutateur, lorsque la tension d'horloge est inférieure à $v_{in}(t) + v_{th}$. Cet instant dépend de la pente de l'horloge, conformément à la section 4.2.

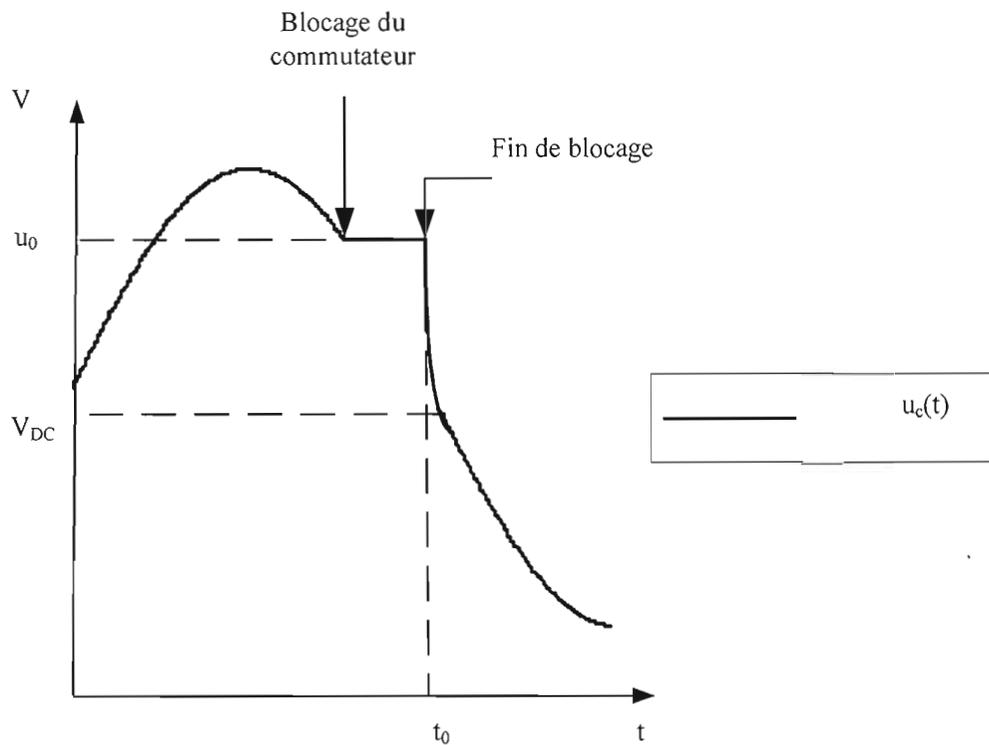


Figure 5.3 : Conditions initiales de l'erreur d'injection de charges.

5.2.3 Modélisation de l'horloge

À la section 3.4, il a été mentionné que l'horloge des circuits d'échantillonnage utilise un processus Markovien ou suit une distribution gaussienne stochastique afin de

représenter l'effet de la gigue. Dans le cadre de notre travail de recherche, nous ne nous intéressons pas aux effets de la gigue. Par ailleurs, les effets non linéaires que nous étudierons sont dépendants de la pente de l'horloge. De ce fait, nous avons décrit l'horloge par la procédure de l'algorithme 5.2 où la fonction $\text{rem}(\bullet)$ renvoie le reste d'un modulo.

```

1  Entrée :  t : l'instant pour lequel on veut connaître la tension d'horloge
2             dt : période de l'horloge
3             Vss, Vdd : tensions minimale et maximale
4             th, tb : durée à l'état haut et à l'état bas
5             tTR : temps de montée et de descente
6             tsn : instant de la chute de tension de Vdd à Vss
7  Sortie :  Vclk : la tension d'horloge
8  t1  $\leftarrow$  rem(t,dt)
9  t2  $\leftarrow$  tb
10 t3  $\leftarrow$  tb + tTR
11 t4  $\leftarrow$  tb + tTR + th
12 t5  $\leftarrow$  tb + th + 2*tTR
13
14 Si      (0  $\leq$  t1  $\leq$  t2) alors
15     Vclk  $\leftarrow$  Vss
16 Sinon Si (t2 < t1  $\leq$  t3) alors
17     Vclk  $\leftarrow$  ((Vdd-Vss) / tTR)*(t1-t2) + Vss
18 Sinon Si (t3 < t1  $\leq$  t4) alors
19     Vclk  $\leftarrow$  Vdd
20 Sinon Si (t4 < t1  $\leq$  t5) alors
21     Vclk  $\leftarrow$  -((Vdd-Vss) / tTR)*(t1-t4) + Vdd;
22 Fin Si
23 Retourner v

```

Algorithme 5.2: Modèle comportemental de l'horloge d'échantillonnage.

5.2.3.1 Distorsion de l'échantillonneur n-MOS simple

Le modèle d'interactions de l'E/B pour l'évaluation de la distorsion d'erreur d'échantillonnage du circuit n-MOS simple est décrit par l'algorithme 5.3 dans lequel $u_c(t)$ fait référence à l'équation (5.2) et la fonction Vclk à l'algorithme 5.2. VinRef est la somme des tensions d'entrée et de seuil.

Cette topologie possède deux architectures puisque le commutateur peut être ouvert ou fermé. Les lignes 14 à 19 de l'algorithme décrivent le comportement du circuit lorsque le commutateur est ouvert. Le modèle comportemental de l'architecture à commutateur fermé est décrit par les lignes 22 à 26.

```

1  Entrée : Vclk : les échantillons de la tension d'horloge
2           Tclk : les temps correspondant aux échantillons des tensions d'horloge
3           VDC : tension de décalage
4  Sortie : Échantillon
5  tmax ← max(Tclk)
6  V0 ← VDC
7  t0 ← 0
8  j ← 1
9  Échantillon[j] ← V0
10 t ← 1
11
12 Tant que t < Tclk[t] < tmax
13     /*Le transistor est passant*/
14     Tant que Vclk[t] > VinRef(t) et t < tmax
15         Vout[t] ← uc(Tclk[t], t0, V0)
16         Etat[t] ← 1
17         t ← t + 1
18     Fin Tant que
19     V0 ← Vout[t - 1]
20
21     /*Le transistor est bloqué*/
22     Tant que Vclk[t] ≤ VinRef(t) et t < tmax
23         Vout[t] ← V0
24         Etat[t] ← 0
25         t ← t + 1
26     Fin Tant que
27     t0 ← Tclk[t - 1]
28     Échantillon[j] ← Vout[t - 1]
29     j ← j + 1
30 Fin Tant que
31 Retourner Échantillon

```

Algorithme 5.3 : Modèle d'interactions de l'erreur d'échantillonnage du circuit n-MOS simple.

Le nombre total de points prélevés par l'algorithme 5.3 est déterminé par le pas d'échantillonnage du vecteur Tclk, où le pas d'échantillonnage est la distance temporelle

entre deux échantillons de ce vecteur. En effet, pour prélever N échantillons utiles par échantillonnage cohérent, il est nécessaire de subdiviser la période d'échantillonnage avec une granularité suffisamment fine afin de prendre en compte les effets de la pente finie de l'horloge.

Le vecteur Etat aux lignes 16 et 24 mémorise les phases d'ouverture et de fermeture du système. Lorsque le commutateur est fermé, la fonction de sortie u_c , à la ligne 15, met à jour les échantillons de sortie successifs en fonction des variables d'état t , t_0 et V_0 . À l'ouverture du commutateur, la variable d'état t_0 est mise à jour et la fonction de sortie à la ligne 28 mémorise l'échantillon utile dans le vecteur de sortie Échantillon.

Lors de l'implémentation de cette routine, le temps de traitement est déterminé par la granularité du pas d'échantillonnage. Le changement de domaine de représentation par TFR s'exécute en $O(N \log N)$. Cependant, N étant très petit devant le pas d'échantillonnage, la complexité du traitement complet est de l'ordre de $O(\text{nombre de pas})$.

5.2.3.2 Distorsion de l'échantillonneur n-MOS différentiel

L'échantillonneur est constitué de deux canaux : un canal p et un canal m dont les tensions d'entrées sont données par

$$V_{inp}(t) = \frac{1}{2} A \sin(\omega t) + V_{DC} \quad (5.6)$$

$$V_{inm}(t) = -\frac{1}{2} A \sin(\omega t) + V_{DC} \quad (5.7)$$

Ces canaux sont bloqués lorsque

$$V_{clk}(t) \leq V_{inp}(t) + V_{th} \quad (5.8)$$

$$V_{clk}(t) \leq V_{inm}(t) + V_{th} \quad (5.9)$$

La procédure d'extraction des échantillons du circuit n-MOS différentiel consiste à exécuter la procédure présentée dans l'algorithme 5.3 pour chacun des canaux puis de générer les échantillons de sortie en calculant la différence des échantillons des canaux. Finalement, les vecteurs d'états sont utilisés afin de prélever un échantillon de sortie pour chacune des phases de blocage simultané des canaux. Cette dernière étape est présentée dans l'algorithme 5.4.

```

1  Entrée : Vout : les échantillons de la sortie différentielle
2          etatp : vecteur d'états du canal p
3          etatm : vecteur d'états du canal m
4          N     : nombre d'échantillons à prélever
5  Sortie : Échantillon
6  j ← 1
7  k ← 1
8
9  Tant que j < N
10     Tant que j < N et ( etatp[k] ≠ 0 ou etatm[k] ≠ 0 )
11         k ← k + 1
12     Fin Tant que
13     Échantillon[j] ← Vout[k]
14     j ← j + 1
15 Fin Tant que
16 Retourner Échantillon

```

Algorithme 5.4 : Modèle d'interactions partiel de l'erreur d'échantillonnage du circuit n-MOS différentiel.

L'analyse de l'algorithme conduit à une complexité de l'ordre de $O(\text{nombre de pas})$.

5.3 Exemple de conception

Les procédures présentées dans les sections précédentes ont été implantées dans LOICE afin d'évaluer la gamme dynamique des échantillonneurs n-MOS simple et différentiel dans le procédé CMOS 0.18 μm . Dans les sections suivantes, les résultats obtenus avec LOICE seront comparés à ceux du modèle analytique de la distorsion proposé au chapitre 4.

5.3.1 Conditions d'évaluation

Le tableau 5.1, ci-après synthétise les conditions d'évaluation. En suivant les étapes de la phase de dimensionnement décrite à la figure 5.1, nous obtenons une largeur minimale du transistor de 352.33 nm ($g_{ds} = 915.08 \mu\Omega^{-1}$) pour une résolution de 10 bits et une fréquence d'horloge de 12 MHz.

	Grandeur	Valeur	Unité
Paramètres électriques	V_{DD}	1.8	V
	A	0.5	V
	V_{DC}	0.5	V
Paramètres d'échantillonnage	N	256	-
	M	17	-
	f_{clk}	12	MHz
	t_{Tr}	75	ns
Paramètres moyens du procédé	V_{th0}	0.4651	V
	μ_{Cox}	350.222	$\mu A/V^2$
	t_{ox}	4.08	nm
	L_{min}	0.18	nm
Condensateur de charge	C_L	5	pF

Tableau 5.1 : Conditions d'évaluation de la distorsion harmonique.

Une valeur maximale de 0.674 fF est obtenue pour la capacité parasite totale maximum. Avec les spécifications de la fréquence d'horloge et de la résolution, le circuit autorise une fréquence d'entrée maximale de 910 kHz pour une fréquence de coupure maximale de 29.11 MHz.

5.3.2 Distorsion des variations de la constante de temps

L'évaluation de la distorsion de la constante de temps est déterminée à partir du modèle analytique développé au chapitre précédent tandis que les distorsions d'injection de charges et d'erreur d'échantillonnage sont évaluées par simulation comportementale.

La courbe de variation de la constante de temps en fonction de la tension d'entrée est représentée à la figure 5.4.

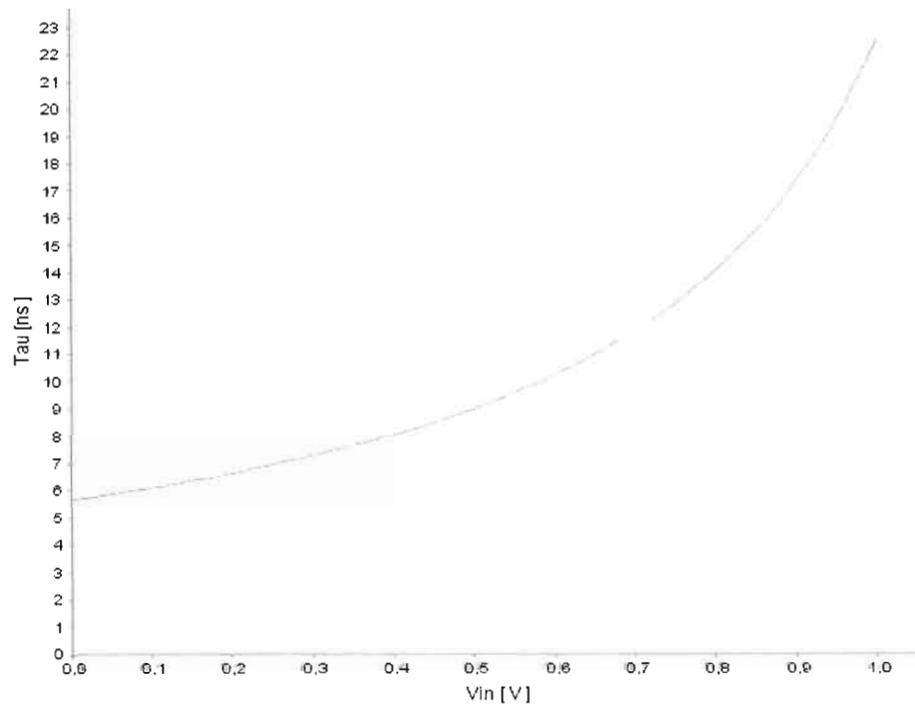


Figure 5.4 : Variations de la constante de temps obtenue avec le logiciel LOICE.

Cette courbe peut être exploitée afin de faire fonctionner l'échantillonneur dans une zone où la courbe de la constante de temps présente un minimum de non-linéarité. À cet effet, nous avons intégré les équations de la distorsion de la constante de temps (4.54) et (4.55) au logiciel.

Les variations de la distorsion harmonique de second et de troisième ordre de la constante de temps en fonction du signal d'entrée sont représentées à la figure 5.5. La gamme dynamique est limitée par la composante harmonique d'ordre 2 puisque la courbe de distorsion harmonique d'ordre 3 est inférieure à celle d'ordre 2.

Les courbes de variation de la distorsion de la constante de temps des canaux p et m (décrits à la section 5.2.3.2) de l'échantillonneur différentiel ne sont pas représentées. Il suffit de réduire la plage de variation de la tension d'entrée de moitié pour les obtenir,

puisque l'amplitude des signaux d'entrée des canaux est de moitié moins élevée que celle d'un échantillonneur simple.

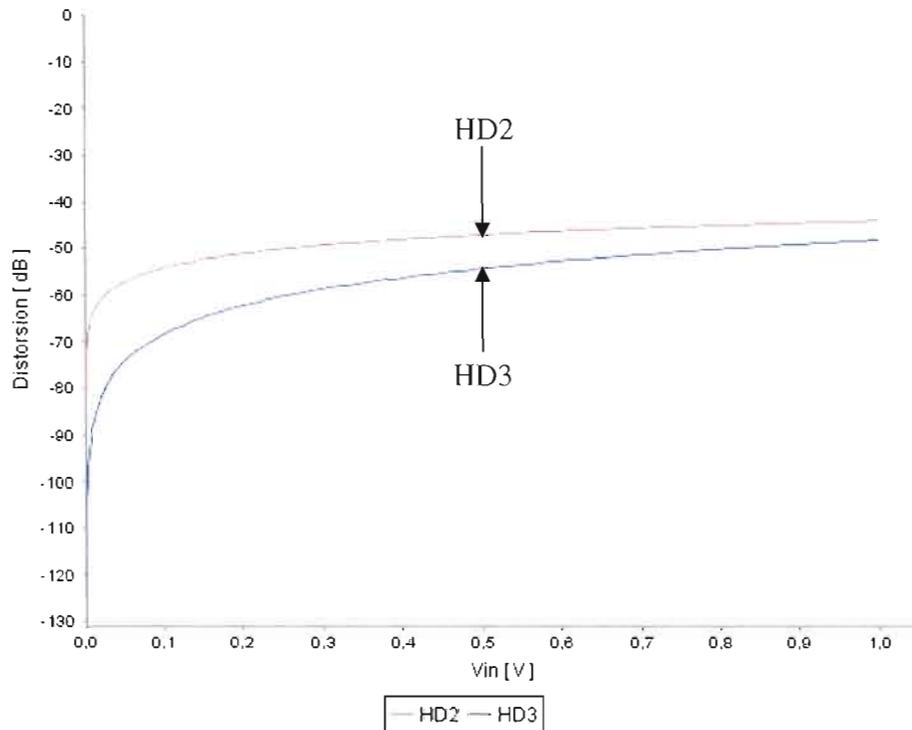


Figure 5.5 : Distorsion harmonique de la constante de temps.

5.3.3 Distorsion d'injection de charges

L'injection de charge a été évaluée en faisant varier linéairement la tension d'entrée. Les résultats de simulation de la figure 5.6 montrent une courbe linéaire.

La distorsion d'injection de charges a été évaluée par la méthode du test sinusoïdal de la section 5.2. La figure 5.7 montre la courbe de densité spectrale obtenue à partir des spécifications du tableau 5.1. Le gain de la fondamentale est de -9.20 dB, celui de l'harmonique de second ordre de -134.86 dB et celui de l'harmonique troisième ordre de -155.71 dB, pour une gamme dynamique de 125.65 dB, relativement à l'harmonique de second ordre. Conformément au modèle analytique, la gamme dynamique est limitée par l'harmonique de rang 2. La comparaison des résultats de simulation avec ceux obtenus par le modèle analytique donne une erreur relative de 37.03 dB.

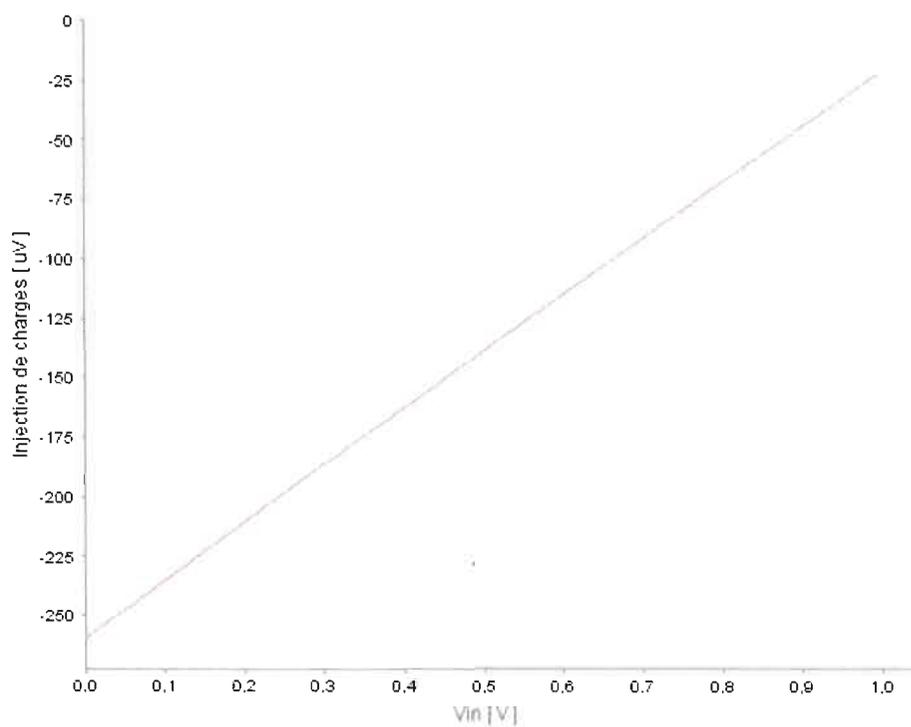


Figure 5.6 : Évaluation de l'injection de charge par test de linéarité.

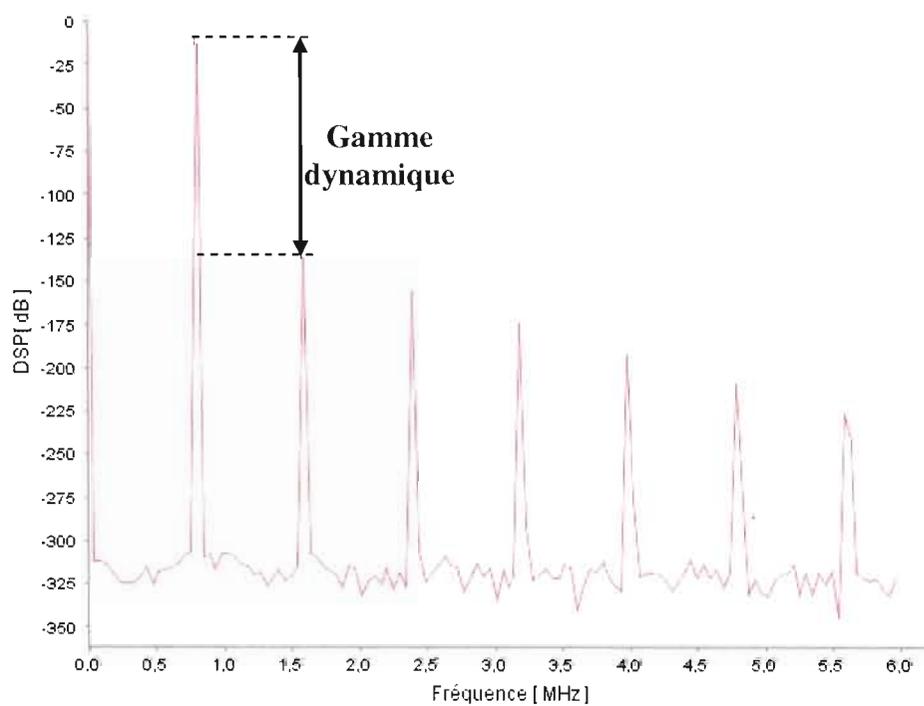


Figure 5.7 : Densité spectrale de l'erreur d'injection de charge.

Puisque l'injection de charges est proportionnelle à l'amplitude, nous avons fait varier l'amplitude sur une plage d'amplitudes allant de 0.2 V à 1 V crête-à-crête. Les résultats de la figure 5.8 confirment la proportionnalité de la gamme dynamique car l'erreur relative reste sensiblement la même sur toute la plage d'amplitude.

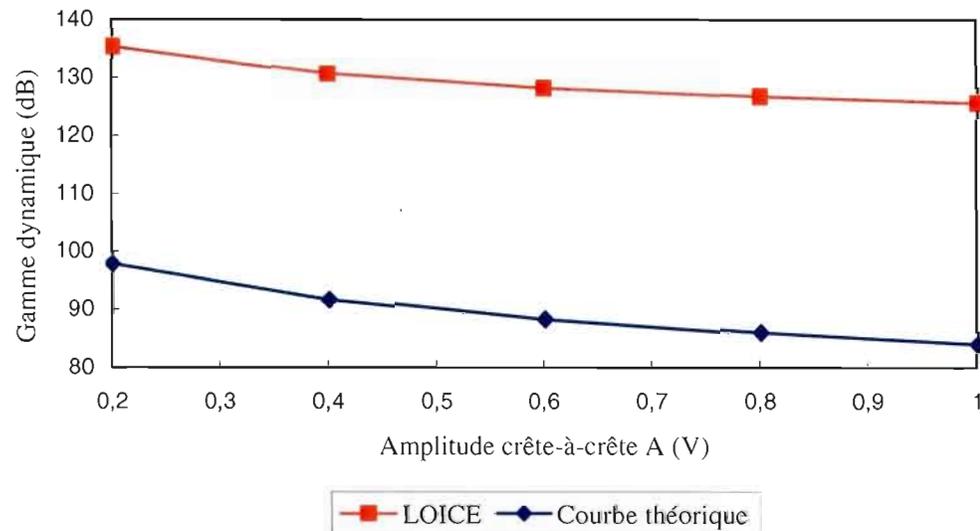


Figure 5.8 : Gamme dynamique d'injection de charges en fonction de l'amplitude.

LOICE possède une option d'évaluation paramétrique de la distorsion en fonction de la plage de la largeur du canal. Pour les spécifications du tableau 5.1, la largeur de canal varie de 352 nm à 1.32 μm . La figure 5.9 montre une variation d'allure exponentielle décroissante, conformément au modèle analytique.

5.3.4 Distorsion d'échantillonnage du n-MOS simple

La courbe résultant de l'analyse fréquentielle de la distorsion d'erreur d'échantillonnage du circuit n-MOS est présentée à la figure 5.10. Les niveaux de gain de la fondamentale, des distorsions harmoniques d'ordres 2 et 3; et de la gamme dynamique sont respectivement de -9.03 dB, -36.19 dB, -49.59 dB et 27.07 dB. La gamme dynamique est limitée par la composante de distorsion harmonique d'ordre 2 conformément au modèle analytique.

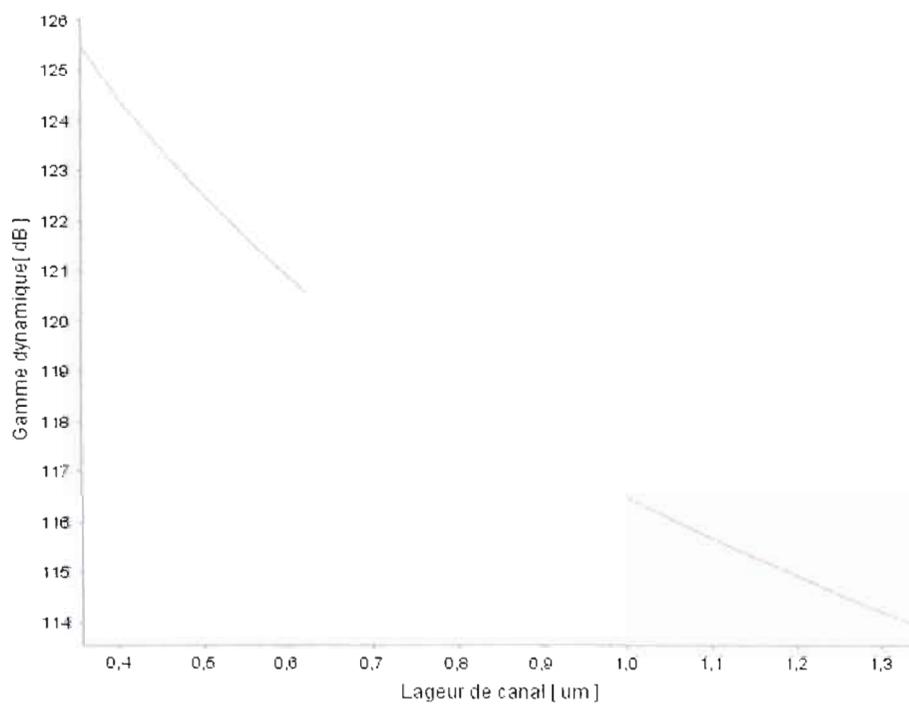


Figure 5.9 : Gamme dynamique d'injection de charge en fonction de la largeur de canal.

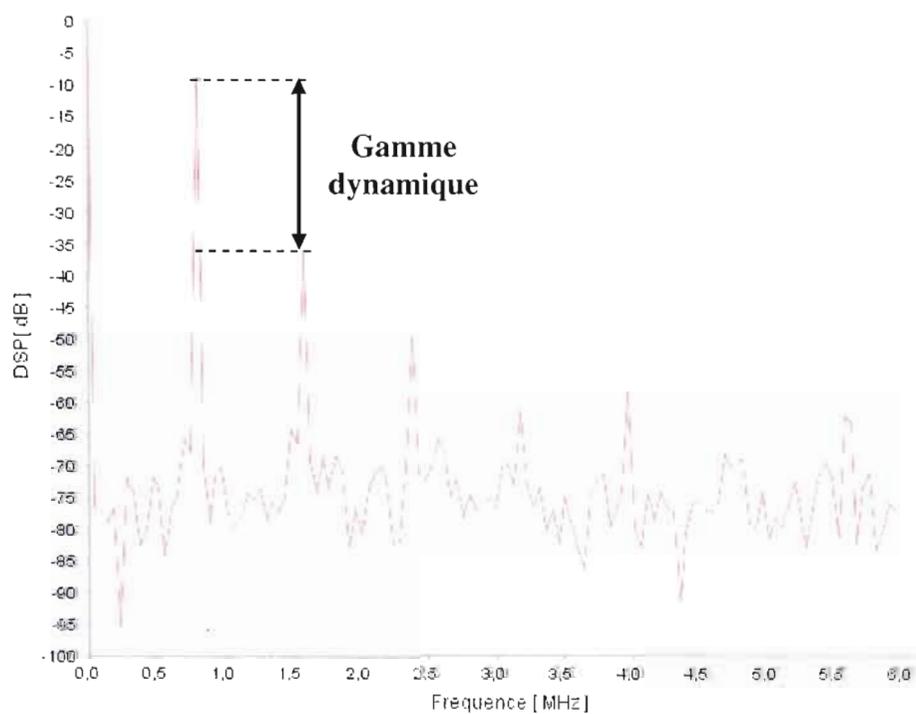


Figure 5.10 : Densité spectrale de l'erreur d'échantillonnage du circuit n-MOS simple.

Nous avons procédé à l'évaluation paramétrique de la gamme dynamique due à l'erreur d'échantillonnage pour des fréquences d'horloge de 12 MHz, 14 MHz et 16 MHz, sur une plage de fréquence d'entrée allant de 100 Hz à 910 Hz. La limite supérieure de la plage de fréquence de test a été imposée par la courbe de fréquence 12 MHz puisque les autres courbes peuvent supporter des fréquences d'entrée plus élevées. Les résultats de simulation pour une amplitude 1 V et un temps de transition d'horloge de 75 ns sont comparés aux résultats du modèle analytique à la figure 5.11.

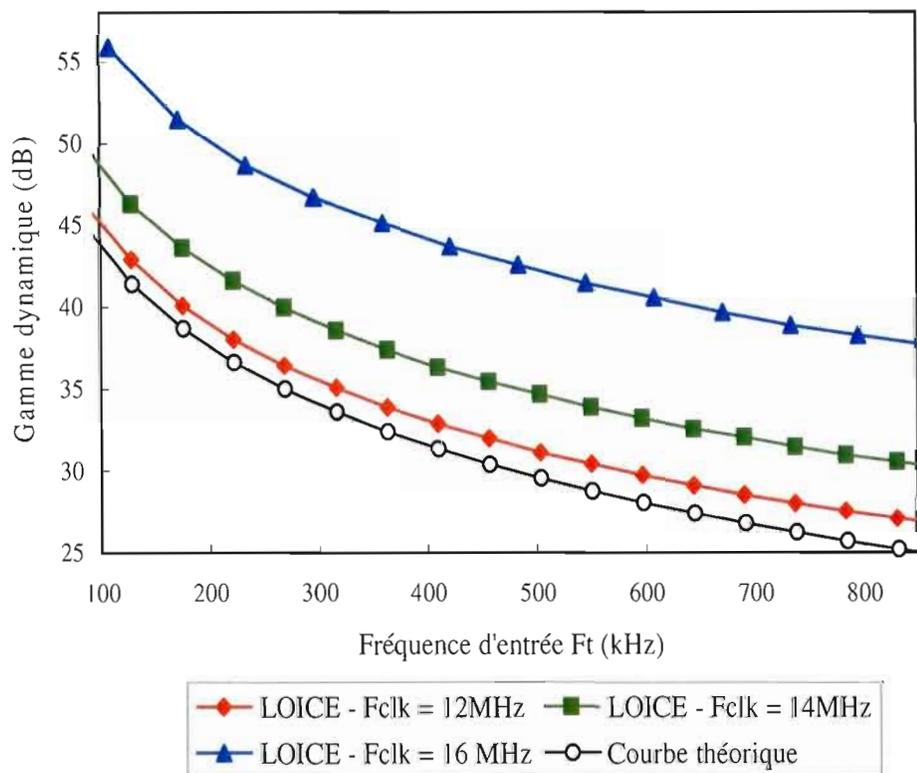


Figure 5.11 : Dépendance de la gamme dynamique d'erreur d'échantillonnage du n-MOS simple à la fréquence d'horloge.

Conformément à la courbe théorique, les courbes de simulation comportementale sont d'allure exponentielle décroissante. Cependant, la fréquence d'horloge entraîne un décalage relativement à la courbe théorique. En effet, les échantillons ont été prélevés par échantillonnage cohérent, or cette méthode établit un rapport entre la fréquence d'échantillonnage et la fréquence du signal d'entrée, conformément à l'équation (3.5).

Ainsi, la gamme dynamique de l'échantillonneur-bloqueur varie proportionnellement à la fréquence d'horloge lorsque les échantillons sont prélevés par échantillonnage cohérent.

La figure 5.12 montre l'évolution de la gamme dynamique en fonction de l'amplitude, pour une fréquence d'horloge de 12 MHz.

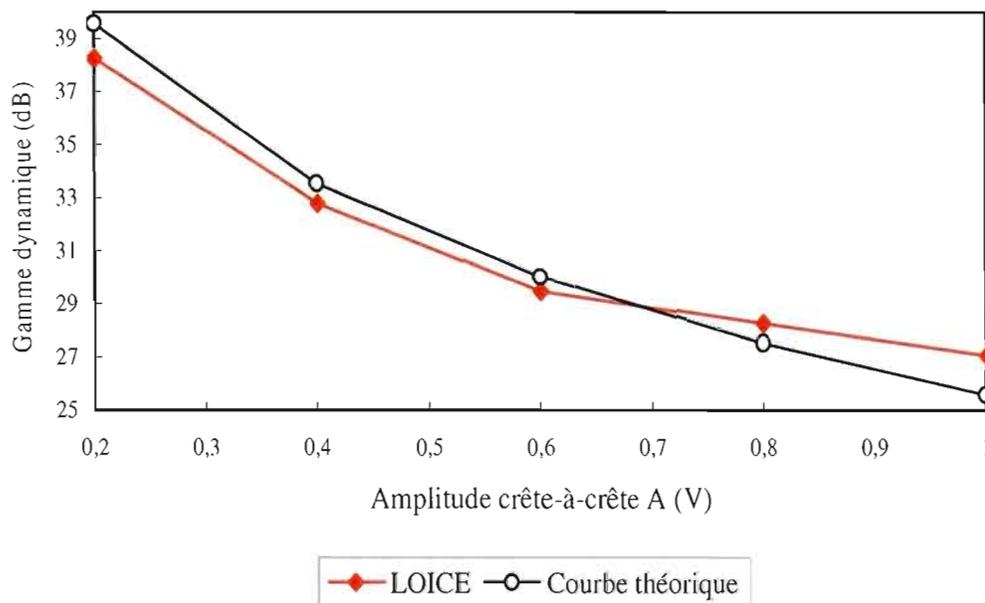


Figure 5.12 : Gamme dynamique de l'échantillonneur n-MOS simple en fonction de l'amplitude.

Pour des tensions supérieures à 0,67 V, la courbe de simulation passe au dessus de la courbe théorique mais les deux courbes ont une allure similaire. La différence entre les gammes dynamiques est inférieure à 2 dB. Cette différence est due à une erreur de mesure causée par la granularité du pas d'échantillonnage (voir section 5.2.3.1) car compte tenu de la pente de l'horloge, la période d'échantillonnage est subdivisée en un nombre fini de points. De ce fait, il existe un décalage entre l'instant idéal de fermeture du commutateur et le premier point du modèle comportemental satisfaisant à la condition de blocage du commutateur.

La gamme dynamique a été évaluée avec des temps de transition allant de 75 ns à 125 ns (figure 5.13). Les courbes obtenues par simulation et par le modèle analytique ont des sens de variation opposés. Cette différence est liée à la méthode d'extraction des échantillons de LOICE. En effet, chaque période d'échantillonnage est divisée en un nombre fini de pas d'échantillonnage. À mesure que l'on augmente le temps de transition, la durée d'un pas augmente proportionnellement. Ainsi, le pas d'échantillonnage est à l'origine de la divergence des courbes.

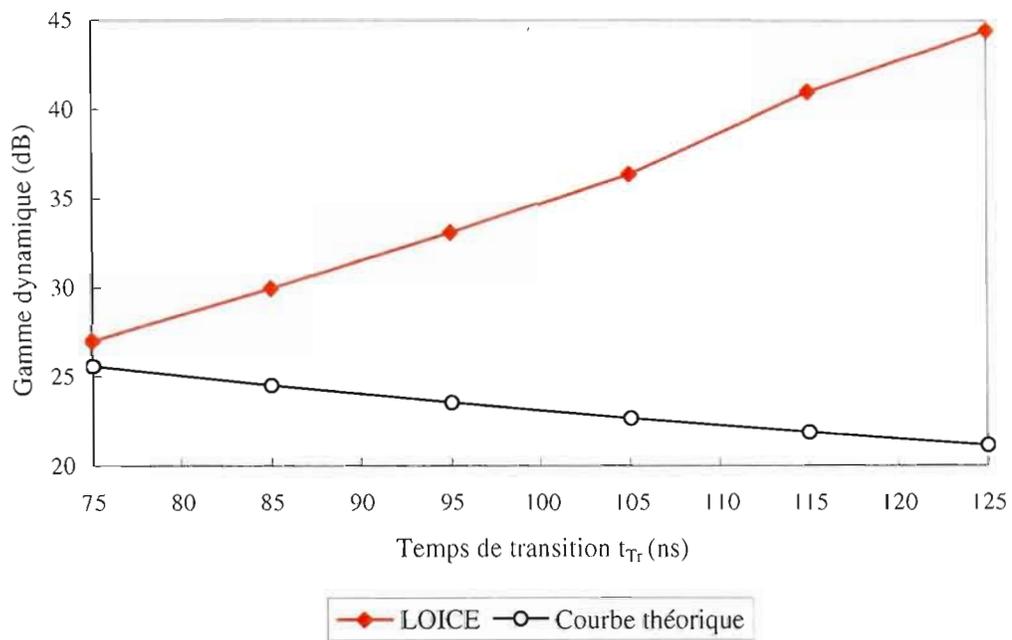


Figure 5.13 : Gamme dynamique en fonction du temps de transition du n-MOS simple.

5.3.5 Distorsion d'échantillonnage du n-MOS différentiel

La courbe de densité spectrale de l'erreur d'échantillonnage du circuit n-MOS différentiel est montrée à la figure 5.14. Les gains de la fondamentale, de l'harmonique de troisième ordre sont respectivement de -9.03 dB et de -58.5dB. La contribution de l'harmonique d'ordre 2 est négligeable. Nous remarquons par ailleurs la suppression de la composante continue, ce qui est une caractéristique propre aux circuits différentiels. Pour une fréquence d'entrée de 800 Hz, la gamme dynamique est de 49.43 dB.

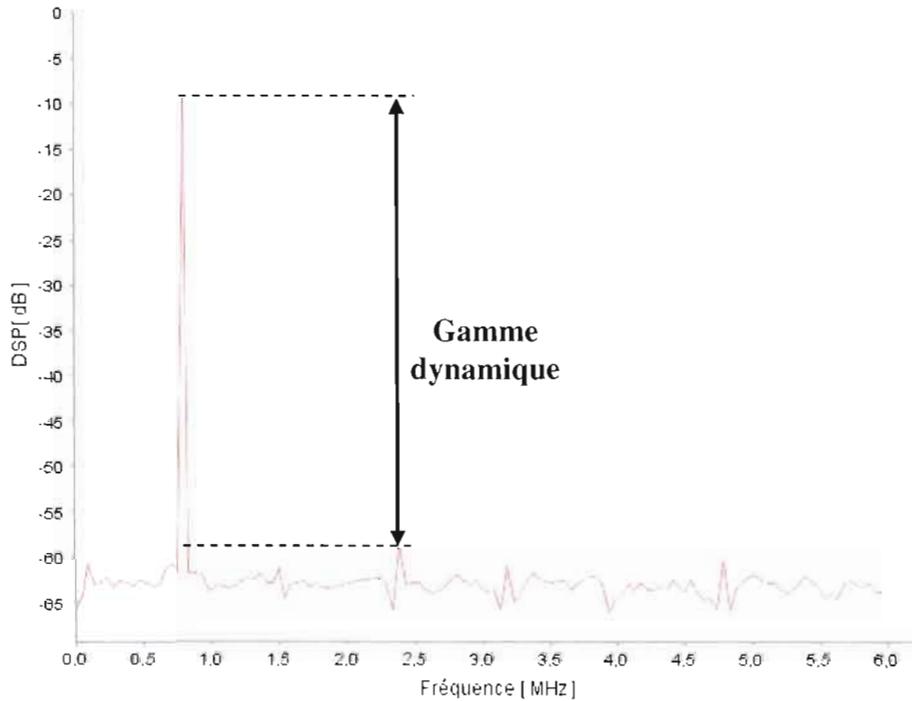


Figure 5.14 : Densité spectrale de l'erreur d'échantillonnage du circuit n-MOS différentiel.

La figure 5.15 montre les résultats de simulation de la gamme dynamique avec les fréquences d'horloge de 12 MHz, 14 MHz et de 16 MHz, comparés au modèle analytique. Les résultats de simulation sont asymptotiquement conformes au modèle analytique qui possède une allure exponentielle décroissante. Un décalage du gain en fonction de la fréquence d'horloge est observable pour les courbes de simulation, contrairement au modèle analytique mais s'explique par l'utilisation de l'échantillonnage cohérent comme méthode d'échantillonnage (voir section 5.3.4).

L'évaluation de la gamme dynamique en fonction de l'amplitude pour une fréquence d'horloge de 12 MHz montrée à la figure 5.16 indique une perte de 5 dB à partir de 600 Hz tandis que la courbe théorique perd 28 dB sur la plage de fréquences.

De manière analogue à l'échantillonneur simple, ces différences s'expliquent par la granularité du pas d'échantillonnage mais aussi par le fait que les canaux du circuit différentiel soient en opposition de phase.

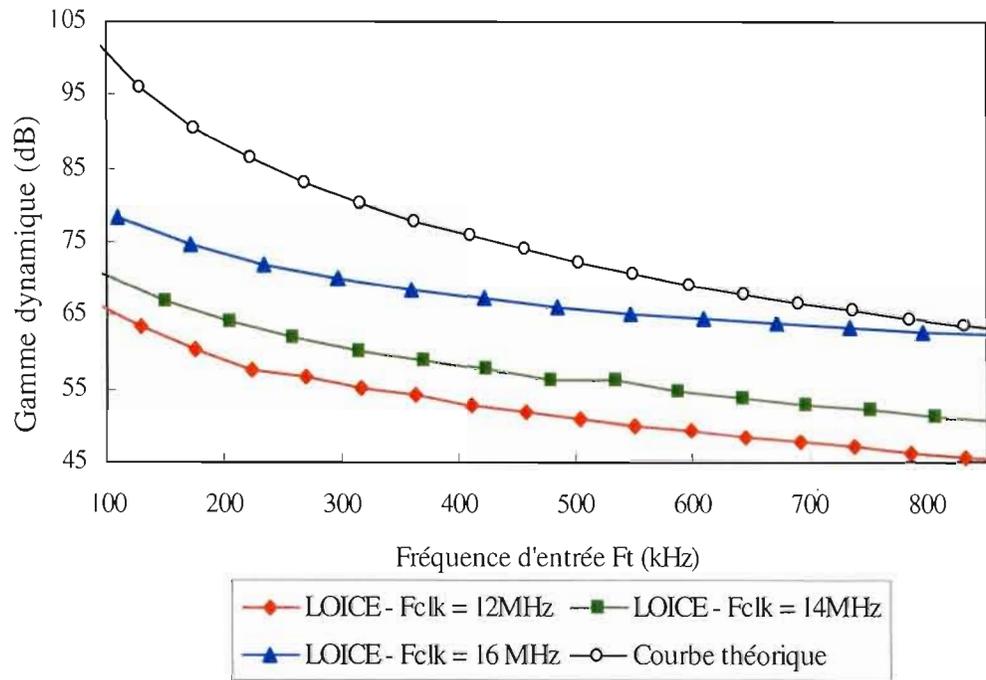


Figure 5.15 : Gamme dynamique du circuit n-MOS différentiel.

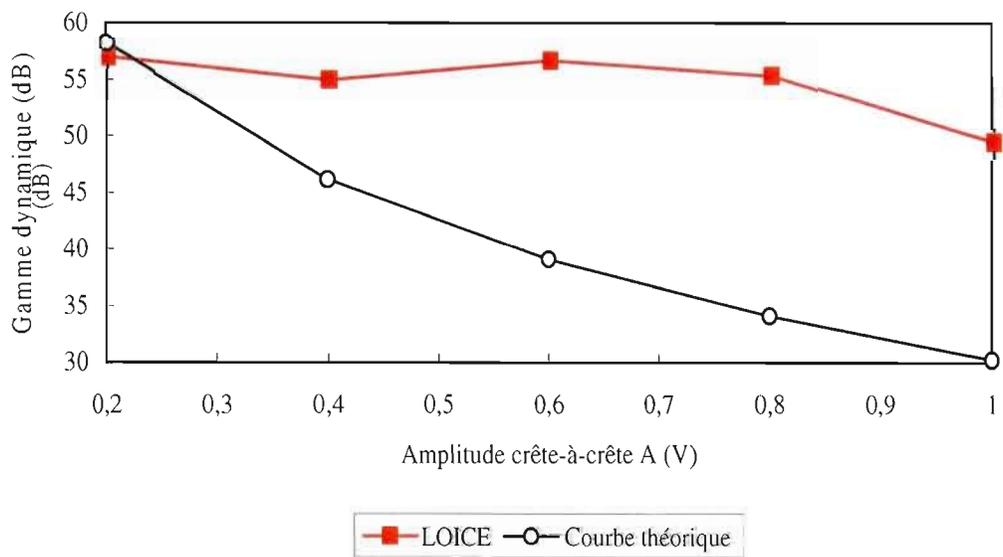


Figure 5.16 : Gamme dynamique de l'échantillonneur n-MOS différentiel en fonction de l'amplitude.

Les variations de la distorsion en fonction du temps de transition (t_{TR}) présentées à la figure 5.17 pour une fréquence d'horloge de 12 MHz montrent une augmentation de la gamme dynamique lorsque t_{TR} varie de 75 ns à 125 ns. La courbe résultant de la simulation présente cependant des fluctuations entre les valeurs extrêmes de la plage de variation du temps de transition, contrairement au modèle analytique. Toutefois, les courbes ont le même sens de variation. Comme nous l'avons mentionné à la section 5.3.4 pour l'évaluation de la gamme dynamique l'E/B simple en fonction du temps de transition, ces différences sont dues au pas d'échantillonnage.

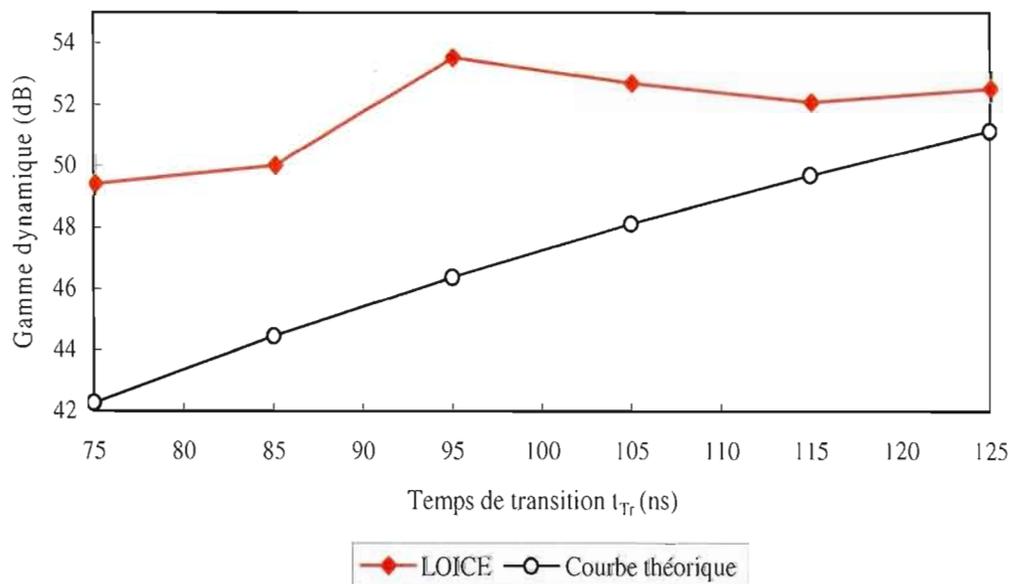


Figure 5.17 : Gamme dynamique du circuit n-MOS différentiel en fonction du temps de transition.

Nous avons présenté LOICE, un logiciel de simulation comportementale interactif d'aide à la conception de l'échantillonneur-bloqueur dans le procédé CMOS 0.18 μm . LOICE implémente les techniques de caractérisation de la distorsion par simulation analogique. Les algorithmes d'extraction des échantillons de LOICE s'exécutent en temps raisonnable. En effet, la procédure d'évaluation de la distorsion de l'injection de charges est d'ordre $O(N \log N)$ et l'algorithme d'évaluation de la

distorsion d'erreur d'échantillonnage s'exécute en $O(\text{nombre de pas})$, donc d'ordre linéaire.

La gamme dynamique en fonction des paramètres de chacune des sources de distorsion des échantillonneurs-bloqueurs n-MOS simple et différentiel a été évaluée avec LOICE et a été comparée avec celle du modèle analytique proposé au chapitre 4. Les résultats de simulation comportementale concordent asymptotiquement avec ceux du modèle analytique. Ceci s'explique par le rapport des fréquences d'entrée et d'horloge imposé par l'échantillonnage cohérent.

Par ailleurs, les courbes de variation de la gamme dynamique en fonction du temps de transition ont des sens de variation opposés, en conséquence de la granularité du pas d'échantillonnage.

Puisque les résultats concordent asymptotiquement, il serait pertinent de les comparer avec ceux obtenus avec SPICE, et ensuite avec un circuit réel.

Chapitre 6

CONCLUSION ET RECOMMANDATIONS

L'avancement des applications de l'électronique dans le domaine biomédical permet aujourd'hui de poser des implants permettant d'étudier le cerveau et ses fonctions physiologiques, dans l'optique de traiter des dysfonctions telles que l'autisme, l'épilepsie ou la schizophrénie. L'implant emploie des dispositifs de conversion analogique-numérique dont la performance dépend de l'échantillonneur-bloqueur frontal. Compte tenu de la sensibilité de ces applications, il est essentiel d'évaluer les niveaux de distorsion de l'échantillonneur-bloqueur avant la fabrication. Toutefois, il est souhaitable de réduire les cycles de conception et de prendre en compte les effets qui limitent la performance de l'échantillonneur-bloqueur.

Après avoir présenté le principe de fonctionnement de l'échantillonneur-bloqueur et son implémentation pratique, nous avons étudié l'état de l'art des recherches sur ses méthodes de conception.

Le modèle analytique de la distorsion basé sur les séries de Volterra permet d'exprimer les composantes de distorsion en fonction des paramètres physiques du commutateur analogique. Cependant, cette méthode s'avère complexe à mettre en œuvre et ne tient pas compte des effets des capacités parasites du commutateur analogique.

Les modèles analytiques basés sur les séries de Taylor rencontrés dans la littérature sont plus simples à développer mais n'intègrent pas non plus les effets des capacités parasites du commutateur analogique.

Les techniques de caractérisation par simulation analogique sont une alternative de conception qui offre une meilleure estimation des performances dynamiques de l'échantillonneur-bloqueur. En contrepartie les cycles de conception sont allongés par les procédures de caractérisation à mettre en place.

L'objectif de ce travail de recherche était d'étudier et de développer de nouvelles techniques de conception d'échantillonneurs-bloqueurs dans le procédé de fabrication CMOS 0.18 μm . Nous nous sommes précisément intéressés à la caractérisation des sources de distorsion principales qui limitent la performance de l'échantillonneur-bloqueur : les distorsions dues aux variations de la constante de temps, l'injection de charges et l'erreur d'échantillonnage.

6.1 Contributions originales du mémoire

Un nouveau modèle analytique de la distorsion a été développé pour les échantillonneurs-bloqueurs n-MOS simple, n-MOS différentiel et CMOS. Le modèle proposé se base sur les séries de Taylor afin de modéliser complètement et simplement la distorsion de l'échantillonneur-bloqueur et intègre les effets des capacités parasites du commutateur analogique.

Par ailleurs, nous avons développé un logiciel de simulation comportementale original à partir des techniques de caractérisation de la distorsion de l'échantillonneur-bloqueur s'appuyant sur les simulateurs analogiques de la famille SPICE. Le logiciel offre l'avantage de réduire les cycles de conception et de prendre en compte les effets de substrat et ceux des capacités parasites du commutateur analogique.

6.2 Limites de l'étude

La première limitation de l'étude est liée aux choix d'implémentation logicielle des procédures de caractérisation des sources de distorsion de l'échantillonneur car le logiciel peut faire face à des problèmes de débordement de la mémoire pour des tailles de données importantes. Plus précisément, l'algorithme d'extraction des échantillons de l'échantillonneur différentiel utilise une structure tabulaire dont la taille dépend du nombre d'échantillons à prélever et du pas d'échantillonnage. Vu que le pas d'échantillonnage est une fonction du temps de transition de l'horloge, la structure de

mémorisation des échantillons peut atteindre des tailles importantes, puisque le temps de transition de l'horloge doit être très court relativement à la période d'horloge.

La granularité du pas d'échantillonnage limite la précision des résultats. En effet, le pas d'échantillonnage est une fraction constante du temps de transition or l'instant d'échantillonnage est une fonction du temps de transition et également de la tension d'entrée. La dépendance relative de l'instant réel d'échantillonnage introduit une erreur d'échantillonnage de la granularité du pas d'échantillonnage. Cependant une granularité fine permet de limiter cette erreur d'échantillonnage, en contrepartie d'un temps de simulation plus long.

Dans notre étude, les effets parasites du condensateur de charge ont été négligés. Ce choix d'étude a été fait parce que notre travail s'inscrit dans le cadre d'une étude préliminaire de la conception de l'échantillonneur par simulation comportementale.

Enfin, la dernière limitation vient de la méthodologie de validation que nous avons choisie. En effet, nous avons validé le logiciel par rapport au modèle analytique de la distorsion. Puisque l'ensemble des résultats de l'évaluation sont conformes au modèle analytique de façon asymptotique, il serait nécessaire de comparer les résultats obtenus dans un premier temps avec SPICE, et plus tard avec un circuit réel.

6.3 Recommandations

À l'issue de l'évaluation du logiciel de simulation comportementale, il résulte que la distorsion est une fonction de la fréquence d'horloge. Or ce paramètre n'apparaît pas dans les équations analytiques. Si ce paramètre influence réellement le niveau de distorsion, il serait intéressant de modéliser son impact sur la distorsion.

Une autre perspective consiste à approfondir la recherche sur les tests de variation de la gamme dynamique en fonction du temps de transition de l'horloge. Les

résultats que nous avons obtenus par simulation comportementale entrent en contradiction avec le modèle analytique.

Par ailleurs, il serait pertinent d'étendre la bibliothèque de modèle de LOICE afin d'y inclure d'autres topologies.

Pour finir, nous entrevoyons la possibilité de développer un logiciel d'optimisation dédié à la conception d'échantillonneurs-bloqueurs dans la technologie CMOS 0.18 μm .

Appendice A

DIAGRAMME FONCTIONNEL D'UN DISPOSITIF DE SURVEILLANCE CORTICALE

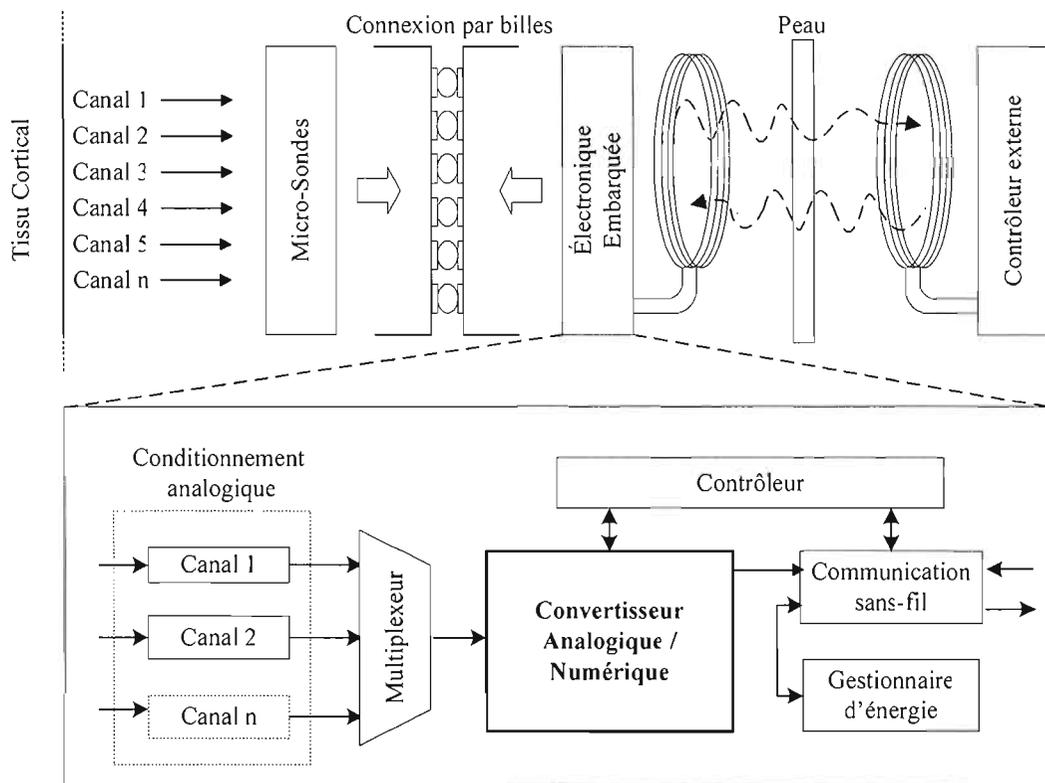


Figure A.1 : Diagramme d'un dispositif de surveillance corticale (Tiré de [COU05]).

Appendice B

PERFORMANCES DYNAMIQUES DE L'ÉCHANTILLONNEUR-BLOQUEUR CONVENTIONNEL

Topologie	Simple	Différentielle	
		<i>Sans décalage d'horloge</i>	<i>Avec décalage d'horloge</i>
n-MOS	Génère des harmoniques paires	Les harmoniques paires sont réduites. Génère des harmoniques impaires. Insensible à la distorsion d'échantillonnage	Génère des harmoniques paires et impaires
CMOS	La topologie sans décalage d'horloges génère des harmoniques impaires uniquement et offre une meilleure gamme dynamique que les circuits n-MOS. La topologie avec décalage ^Δ d'horloge n'offre pas d'avantage particulier.	Ne permet pas d'éliminer les harmoniques impaires générées par la topologie CMOS simple, sans décalage d'horloge	La topologie sans décalage d'horloge génère des harmoniques paires et impaires. La topologie avec décalage [□] n'offre pas d'avantage particulier

Δ Trois cas possibles: 1) $-1 \leq \varepsilon \leq 1$. Des harmoniques paires et impaires sont générées; 2) $\varepsilon > 1$. Les résultats sont similaires à ceux du circuit n-MOS simple; 3) $\varepsilon < -1$. Résultats sont similaires à ceux du p-MOS.

□ Deux cas possibles : 1) $-\frac{1}{2} \leq \varepsilon \leq \frac{1}{2}$. Des harmoniques paires et impaires sont générées; 2) $\varepsilon < -\frac{1}{2}$ ou $\frac{1}{2} < \varepsilon$. Résultats similaires à ceux du circuit n-MOS différentiel.

ε $(V_{dd} t_{\text{décalage}}) / (2A t_{Tr})$. A : Amplitude du signal d'entrée; $t_{\text{décalage}}$: décalage entre les horloges; t_{Tr} : temps de transition de l'horloge

Tableau B.1 : Effets de la pente de l'horloge sur l'E/B (Adapté de [HAY99]).

Appendice C

VALEUR DES PARAMÈTRES PAR DÉFAUT DE BSIM3

Paramètre	Valeur par défaut	Unité
DWC	WLC si non spécifié	M
WLC	0	m ^{WLN}
WLN	1	-
WWC	0	m ^{WWN}
WWN	1	-
WWLC	0	m ^{WWN+WLN}

Tableau C.1 : Paramètres par défaut de BSIM3 pour la caractéristique Capacité-Tension (Tiré de [LIU01]).

Paramètre	Valeur par défaut	Unité
CJ	5×10^{-4}	F/m ²
CJSW	5×10^{-10}	F/m
CJSWG	5×10^{-10}	F/m
MJ	0.5	-
MJSW	0.33	-
MJSWG	0.33	-
PB	1.0	V
PBSW	1.0	V
PBSWG	1.0	V

Tableau C.2 : Paramètres par défaut de BSIM3 pour la modélisation du capacité de jonction (Tiré de [LIU01]).

Appendice D

INTERFACES DU LOGICIEL LOICE

Le logiciel dispose de 4 panneaux de spécifications d'entrée, d'un panneau pour la zone de traçage et d'un panneau de résultats. Les champs modifiables du panneau de spécification d'entrée permettent à l'utilisateur d'évaluer les performances du circuit avec un nouveau jeu de paramètres, une que la largeur minimale de canal (W_{\min}) a été calculée.

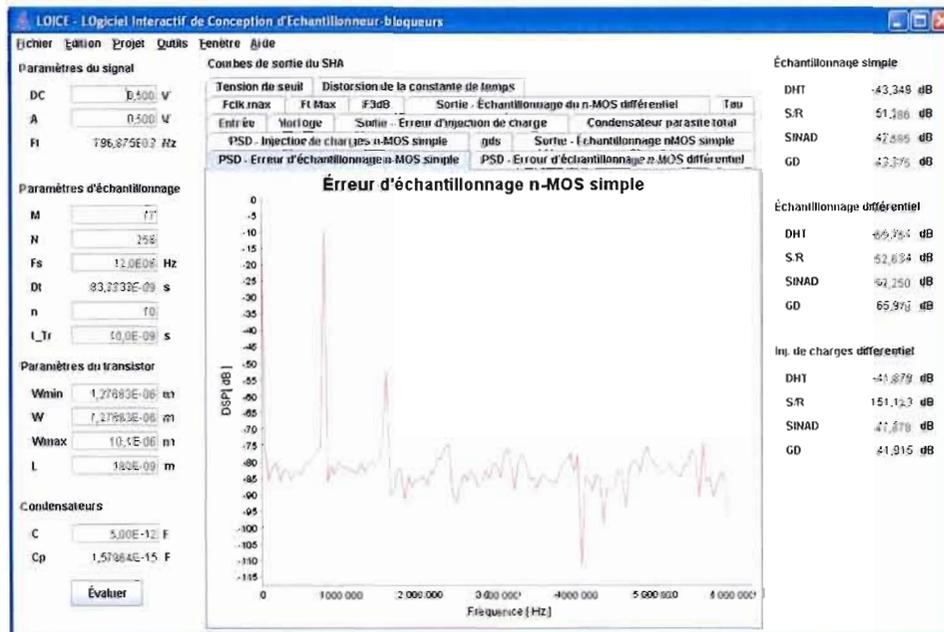


Figure D.1 : Présentation de l'interface du logiciel LOICE.

Le panneau de la zone graphique permet d'afficher individuellement les diverses courbes de variation des paramètres disponibles. La zone d'évaluation de la distorsion de affiche les résultats de l'analyse de distorsion harmonique à partir des courbes de densité spectrale (figure 5.7 et figure 5.10).

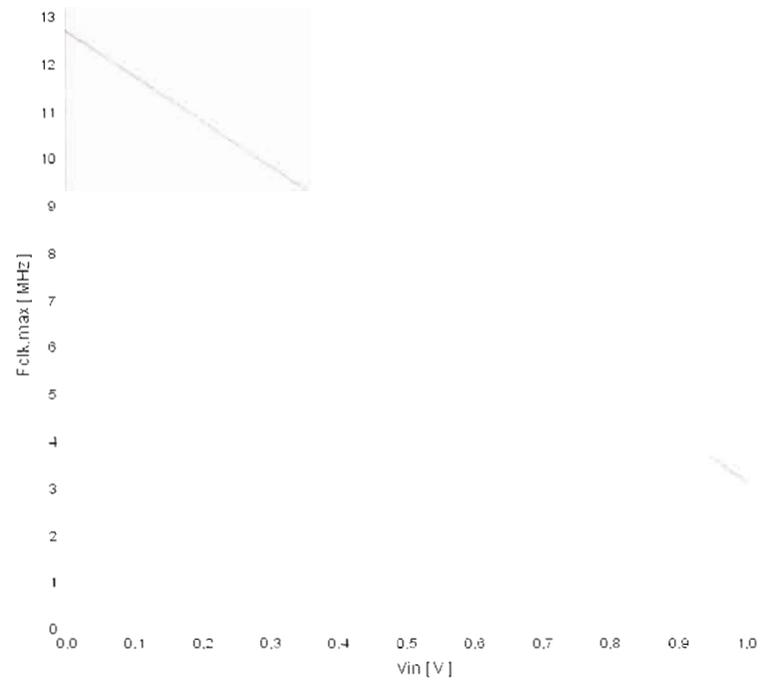


Figure D.2 : Variations de la fréquence maximale d'horloge en fonction de l'entrée.

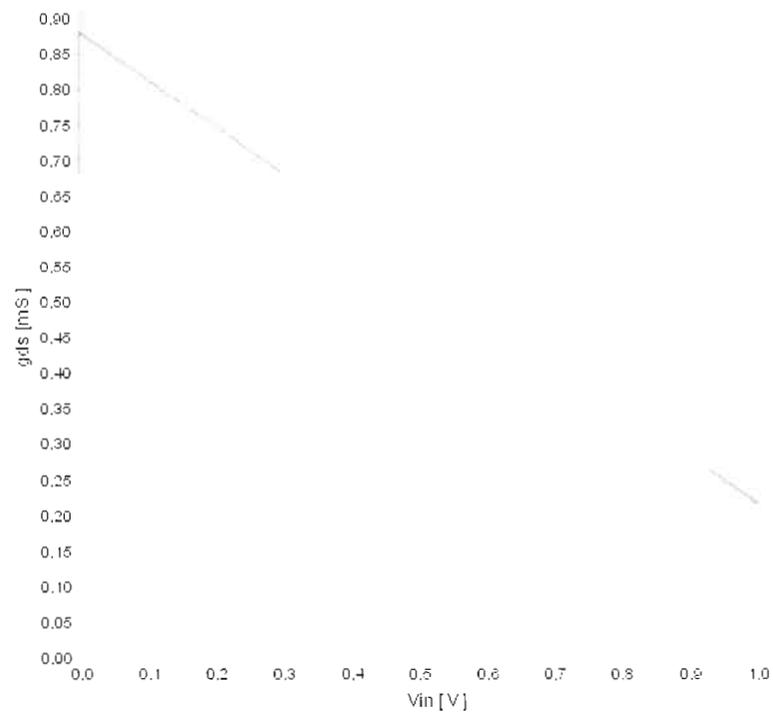


Figure D.3 : Variations de la conductance en fonction de la tension d'entrée.

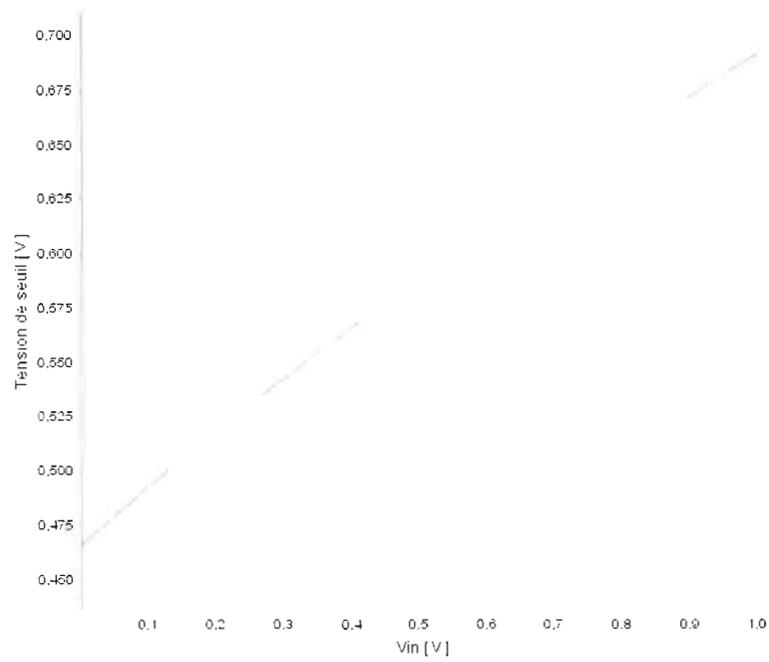


Figure D.4 : Variations de la tension de seuil.

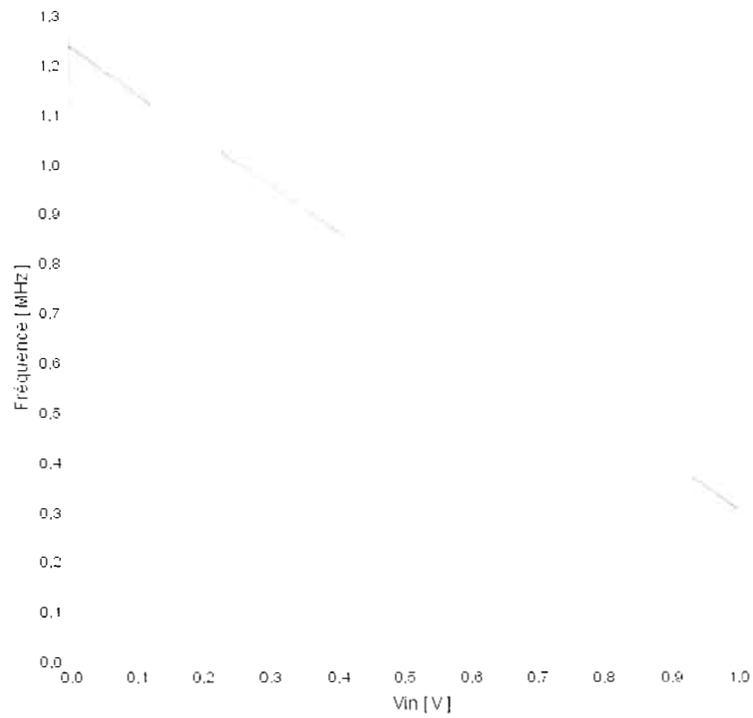


Figure D.5 : Variations de la fréquence maximale d'entrée en fonction de la tension d'entrée.

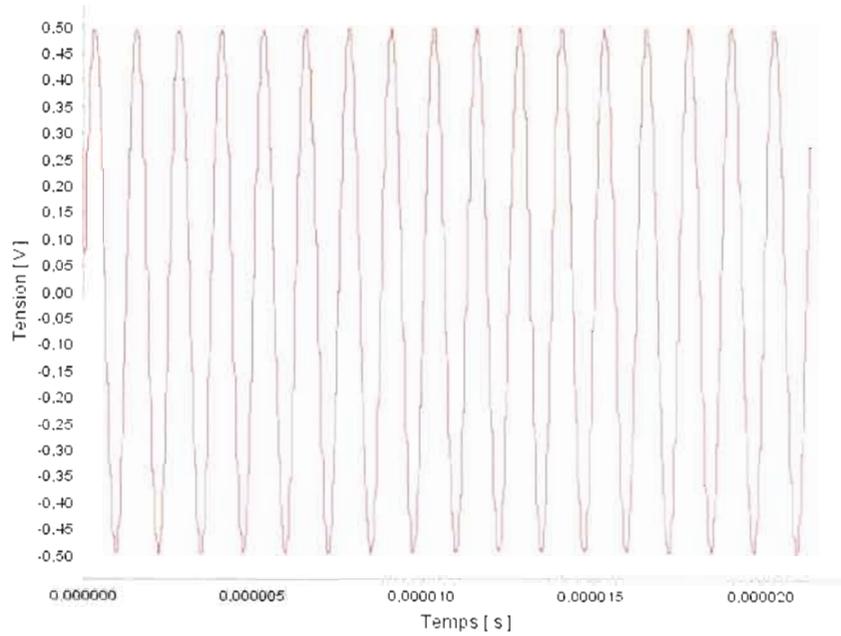


Figure D.6 : Signal de sortie de l'échantillonneur n-MOS simple.

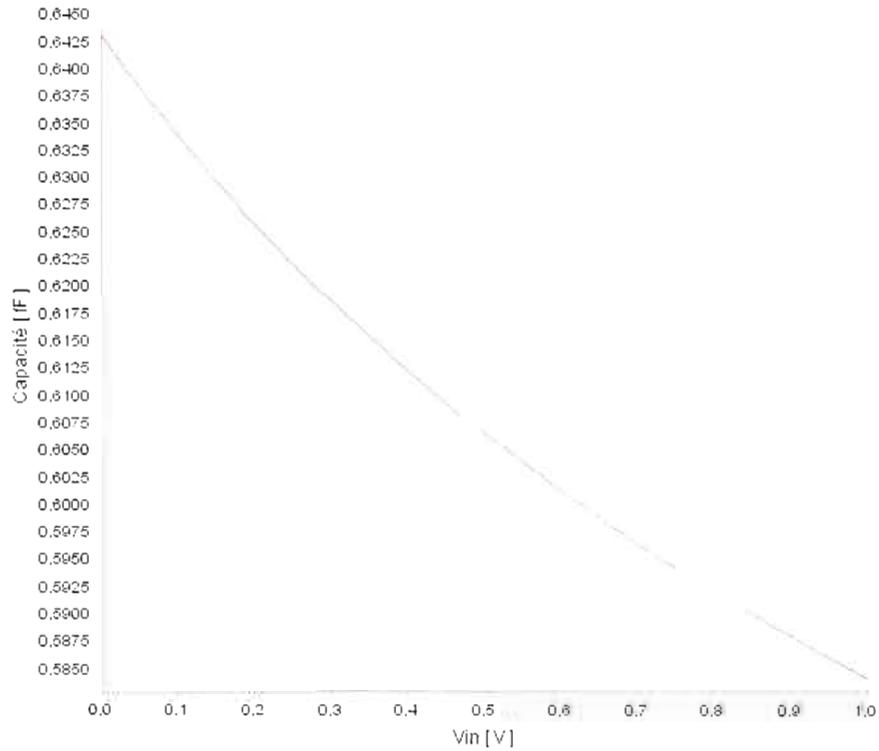


Figure D.7 : Courbe non-linéaire de la capacité parasite totale.

RÉFÉRENCES BIBLIOGRAPHIQUES

- [AND01] Anderson, D. J., Hetke, J. F., Gingerich, M. D., et Wise, K. D., "A 256-Site 3D CMOS Microelectrode Array for Multipoint Stimulation and Recording in the Central Nervous System", International Conference on Solid-State Sensors and Actuators, Munich, 2001.
- [AND03] Andreu, D., Cousineau, M., et Tap-Beteille, H., "La modélisation comportementale de Spice à VHDL-AMS", CETSIS, 2003.
- [BLA74] Blanchard, R. A., Gray, P. R., et Stafford, K. R., "A complete monolithic sample/hold amplifier", IEEE Journal of Solid-state Circuits, vol. 9, no. 6, pp. 381-387, 1974.
- [BOY74] Boyle, G. R., Cohn, B. M., Pederson, D. O., et Solomon, J. E., "Macromodeling of Integrated circuit operational amplifiers", IEEE Journal of Solid-State Circuits, vol. 9, no. 6, décembre 1974.
- [BRI94] Brinson, M. E., et Faulkner, D. J., "Modular SPICE macromodel for operational amplifiers", IEE Proceedings, Circuits, Device and Systems, vol. 141, no. 5, pp. 417-420, 1994.
- [BRO02] Brown, A. D., Kiliç, Y., Ross, J. N., Wilson, P. R., et Zwolinski, M., "Behavioural modeling of operational amplifier faults using analogue hardware description languages", Design, Automation and Test in Europe conference and exhibition, pp. 1530-1591, 2002.
- [BRU02] Bruun, E., et Gudnason, G., "CMOS Circuit Design for RF Sensors", Kluwer Academic Publishers, 2002.
- [BUF05] Buffoni, L.X., Coulombe, J., et Sawan, M., "Image Processing Strategies Dedicated to Visual Cortical Stimulators: A Survey", Artificial Organs Journal, vol. 29, no. 8, pp. 658-664, 2005.

- [CAO07] Cao, K. M., Chan, M., Dunga, M. V., He, J., Hu, C., Liu, Niknejad, A. M., W., Ou, J. J., et Xi, X., "BSIM4.6.0 MOSFET Model – User's manual". En ligne : http://www.device.eecs.berkeley.edu/~bsim3/BSIM4/BSIM460/doc/BSIM460_Manual.pdf. Consulté le 25 novembre 2007.
- [CHA05] Chan, P. K., et Lee, W. F., "An injection-nulling switch for switched-capacitor circuits applications", IEEE Transaction on Instrument and Measurement, vol. 54, no. 6, décembre 2005.
- [CHE03] Cheng, Y., Fjerdly, A., et Ytterdal, T., "Device modeling for analog and RF CMOS circuit design: Proper modeling for accurate distortion analysis", John Wiley & Sons, juin 2003.
- [COU05] Coulombe, J., Hu, Y., et Sawan, M., "Wireless smart implants to multichannel monitoring and microstimulation", IEEE Circuits and Systems Magazine, 2005.
- [DES07] Design Rules: MOSIS Scalable CMOS. En ligne. <http://www.mosis.com/Technical/Designrules/scmos/#references>. Consulté le 1er septembre 2007.
- [FAY03] Fayomi, C. J. B., "Circuit techniques for low-voltage deep submicron CMOS analog-to-digital converters", Thèse de doctorat, Canada, École polytechnique de Montréal, août 2003.
- [FAY04] Fayomi, C. J. B., et Roberts, G. W., "Design and characterization of low-voltage analog switch without the need for clock boosting", IEEE International Midwest Symposium on Circuits and Systems, vol. 3, pp. 315-318, juillet 2004.
- [FAY06] Fayomi, C. J. B., Roberts, G., et Sawan, M., "Low-voltage analog switch in deep submicron CMOS : Design technique and experimental measurements", IECE Trans. Fundamentals, vol.E89-A, no. 4, avril 2006.
- [FOT97] Fotty, D., "Mosfet Modeling with Spice, Principles and Practice", Prentice-Hall, 653 pages, 1997.

- [FRA02] Francken, K., Gielen, G. G .E, Martens, E., et Vogels, E., "A behavioral simulation tool for continuous-time delta-sigma modulators", IEEE International Conference on Computer-Aided Design, pp. 234-239, 2002.
- [GIE08] Gielen, G. G .E, et Martens, E. S. J., "High-level modeling and synthesis of analog integrated systems", Springer Science, 278 pages, 2008.
- [GIN02] Ginés, A., Madrid, N. M., Peralias, E., Rueda, A., et Seepold, R., "A mixed-signal design methodology based on parametric behavioural models with non-ideal effects", Design, Automation and Test in Europe conference and exhibition, pp. 1530-1591, 2002.
- [HAL99] Halonen, K., et Waltari, M., "A 220-MSample/s CMOS Sample-and-Hold Circuit Using Double-Sampling", Analog integrated circuits and signal processing, vol. 18, pp.21-31, 1999.
- [HAR94] Harjani, R., et Shao, J., "Macromodel of analog circuits for hierarchical circuit design", IEEE Conference on Computer Aided Design, pp. 656-663, 1994.
- [HAY04] Hayasaka, N., et Kobayashi, H., "Input-Dependent Sampling-Time Error Effects Due to Finite Clock Slope in MOS Samplers", IEICE Trans. Electron, vol. E87-C, pp. 1015-1021, 2004.
- [HER03] Hernes, B., et Saether, T., "Design criteria for low distortion in feedback opamp circuits", Kluwer Academic publishers, 170 pages, 2003.
- [HIL98] Hilfinger, P., MacDonald, J., Newton, R., Tabbara, A., et Young, J. S., "Design and specification of embedded systems in Java Using successive, formal refinement", 35th design automated conference, pp.70-75, 1998.
- [JOH97] Johns, D. et Martin, K., "Analog Integrated Circuit Design", John Wiley & Sons, 720 pages, 1997.
- [JOR97] Jörges, U., Jummel, G., Müller, G., et Reinhold, M., "A macromodel of sample-and-hold circuits", International journal of circuit theory and applications, vol. 25, no 6, pp. 483-502, 1997.

- [KAI01] Kaiser, U., "High-level circuit and system simulation with Java", European conference on circuit theory and design, pp. 28-31, 2001.
- [KUH98] Kuhn, T., Kebschull, U., et Rosenstiel, W., "Object oriented modeling and simulation based on Java", International workshop on IP based synthesis and system design, 1998.
- [KUN04] Kundert, K. S., et Zinke, O., "The designer's guide to Verilog-AMS", Kluwer Academic Publishers, 2004.
- [LAL05] Lallement, C., Pêcheux, F., et Vachoux, A., "VHDL-AMS and Verilog-AMS as alternative hardware description languages for efficient modeling of multi-discipline systems", IEEE Trans. on computer-aided design of integrated circuits and systems, vol. 24, no. 2, pp. 204-225, 2005.
- [LEM95] Lémery, F., "Modélisation comportementale des circuits analogiques et mixtes", Thèse de doctorat, France, Institut national polytechnique de Grenoble, décembre 1995.
- [LEU99] Leung, B., Sen, S., et Yu, W., "Distortion analysis of MOS track-and-hold sampling mixers using time-varying Volterra series", IEEE Transactions on Circuits and Systems, vol. 46, no. 2, février 1999.
- [LIM91] Lim, P., et Wooly, B., A., "A high-speed sample-and-hold technique using a Miller Hold capacitance", IEEE Journal of Solid-State Circuits, vol. 26, no. 4, avril 1991.
- [LIU01] Liu, W., "MOSFET Models for SPICE Simulation including BSIM3v3 and BSIM4", Wiley Interscience, 600 pages, 2001.
- [OPA96] Opal, A., "Sampled data simulation of linear and nonlinear circuits", IEEE Transaction on Computer-Aided Design, vol. 15, pp. 296-306, 1996.
- [PAL98] Palumbo, G., Pennisi, S., "Harmonic distortion in non-linear amplifier with non-linear feedback", International Journal of Circuit Theory and Applications, vol. 26, pp. 293-299, 1998.

- [PRE03] Prégaldiny, F., "Étude et modélisation comportementale des transistors MOS fortement submicroniques", Thèse de doctorat, Université Louis Pasteur – Strasbourg I. 2003.
- [RAZ95] Razavi, B., "Principles of data conversion system design", IEEE Press, 256 pages, 1995.
- [ROB95] Roberts, G. W., "Calculating distortion levels in sampled-data circuits using Spice", IEEE International Symposium on Circuits and Systems, vol. 3, pp. 2059-2062, mai 1995.
- [SAL02] Säll, E. "Design of a low power, high performance track-and-hold circuit in a 0.18 μ m CMOS technology", Mémoire de maitrise, Suisse, Université de Linköping, septembre 2002.
- [SHE84] Sheu, B. J., et Hu, C., "Switched-induced error voltage on a switched capacitor", IEEE Journal of Solid-State Circuits, vol.19, no. 4, pp. 519-525, août 1984.
- [SHE87] Sheu, B. J., Shieh, J. H., et Patil, M., "Measurement and analysis of charge injection in MOS analog switches", IEEE J. Solid-State Circuits, vol. SSC-22, pp. 277–281, avril 1987.
- [SKO00] Skotnicki, T., "Transistor MOS et sa technologie de fabrication", Techniques de l'ingénieur, février 2000.
- [TAY02] Taylor, D. M., Tillery, S. I. H., et Schwartz, A. B., "Direct cortical control of 3D neuroprosthetic devices", Science, vol. 296, pp. 1829–1832, 2002.
- [TOS04] Tosik, G., "Conception et modélisation de la répartition de l'horloge des systèmes intégrés par voie optique". Thèse de doctorat, France, École centrale de Lyon, janvier 2004.
- [VAC03] Vachoux, A., "VHDL-AMS essentiel". En ligne. http://lsmwww.epfl.ch/Education/former/2002-2003/modelmix03/Documents/VHD-LAMS_instant.pdf. Consulté le 19 novembre 2007.

- [WAL02] Waltari, M., "Circuit techniques for low-voltage and high-speed A/D converters", Thèse de doctorat, Finlande, Université de technologie d'Helsinki, juin 2002.
- [WIS02] Wise, K. D., "Wireless implantable microsystems coming breakthroughs in health care", Circuits Digest of Technical Papers, Symposium on VLSI, pp. 106–109, 2002.
- [WON01] Wong, J. C. W., "CMOS sample-and-hold circuits", colligé de notes de cours ECE 1352 Circuits Intégrés Analogiques, Université de Toronto, 2001.